

НПО "РАСКАТ"

**ЦИФРОВАЯ СИСТЕМА КОММУТАЦИИ
'ОМЕГА'**

Эксплуатационная документация

Книга 3

КОММУТАТОР ЦИФРОВЫХ КАНАЛОВ

Часть 1

**РУКОВОДСТВО ПО ТЕХНИЧЕСКОЙ ЭКСПЛУАТАЦИИ
(Техническое описание и инструкция по эксплуатации)**

1999

ЦИФРОВАЯ СИСТЕМА КОММУТАЦИИ 'ОМЕГА'

Состав эксплуатационных документов

Книга 1. Цифровая система коммутации

Часть 1. Общее описание

Книга 2. Концентратор абонентской нагрузки

Часть 1. Руководство по технической эксплуатации (техническое описание и инструкция по эксплуатации)

Часть 2. Альбом схем

Часть 3. Системное программное обеспечение. Руководство оператора

Книга 3. Коммутатор цифровых каналов

Часть 1. Руководство по технической эксплуатации (техническое описание и инструкция по эксплуатации)

Часть 2. Альбом схем

Часть 3. Системное программное обеспечение. Руководство оператора

НПО РАСКАТ

ЦИФРОВЫЕ ТЕЛЕФОННЫЕ СТАНЦИИ

РОССИЯ, 123364, Москва, Химкинский бульвар, 14

Телефон: (095) 497 2732, 493 4401, 492 9170

Факс: (095) 497 5565, 497 4192

Web: <http://www.raskat.ru> Email: post@raskat.ru

СОДЕРЖАНИЕ

1. ВВЕДЕНИЕ	5
2. НАЗНАЧЕНИЕ, СОСТАВ, ТЕХНИЧЕСКИЕ ДАННЫЕ КОММУТАТОРА ЦИФРОВЫХ КАНАЛОВ	7
2.1. Назначение коммутатора	7
2.2. Состав	7
2.3. Технические характеристики	9
3. ОБЩИЕ СВЕДЕНИЯ О КОММУТАТОРЕ ЦИФРОВЫХ КАНАЛОВ, ПРИНЦИП ЕГО РАБОТЫ И РАБОТЫ ЕГО СОСТАВНЫХ ЧАСТЕЙ	11
3.1. Принцип работы коммутатора	11
3.2. Функциональный контроль и управление	15
3.3. Режимы синхронизации аппаратуры коммутатора.....	15
3.4. Электропитание и система охлаждения.....	16
3.5. Конструкция коммутатора.....	17
4. ОПИСАНИЕ МОДУЛЕЙ И ПЛАТ	18
4.1. Центральное коммутационное устройство СВТИ.465535.001	18
4.1.1. Плата центрального процессора SSC-5x86HVGA ICP	18
4.1.2. Плата контроллера CON СВТИ.468362.007	18
4.1.3. Плата коммутатора DX16 СВТИ.468351.021	26
4.1.4. Плата коммутатора DX32 СВТИ.468351.022	32
4.1.5. Плата процессора цифровой обработки сигналов DSP СВТИ.467444.016.....	45
4.1.6. Плата адаптера 1 ADP1 СВТИ.468359.012	54
4.1.7. Плата адаптера 2 ADP2 СВТИ.468359.013	57
4.5. Модуль интерфейсный 4xИКМ-30 СВТИ.465237.013	59
5. УКАЗАНИЕ МЕР БЕЗОПАСНОСТИ ПРИ РАБОТЕ С КОММУТАТОРОМ ЦИФРОВЫХ КАНАЛОВ	79
6. ПОРЯДОК УСТАНОВКИ И ПОДГОТОВКА К РАБОТЕ	80
7. ЭКСПЛУАТАЦИЯ, ПРОВЕРКА ТЕХНИЧЕСКОГО СОСТОЯНИЯ, ДИАГНОСТИКА И РЕМОНТ.....	88
7.1. Контроль за техническим состоянием коммутатора.....	88
7.2. Действия обслуживающего персонала при возникновении неисправностей	89
7.3. Тестирование аппаратуры, ремонт входящих блоков и плат.....	92

Приложения: 1. Перечень средств измерений, оборудования и принадлежностей, применяемых при проведении диагностики и проверки плат и блоков	96
2. Схемы соединений для диагностики и проверки плат и блоков	98
3. Перечень литературы	105

1. ВВЕДЕНИЕ

1.1. Руководство по технической эксплуатации (РТЭ) коммутатора цифровых каналов (в дальнейшем коммутатора или КЦК) предназначено для изучения аппаратуры, ввода ее в работу, правильной эксплуатации и ремонта в случае возникновения неисправностей. Руководство содержит подробное техническое описание построения аппаратуры коммутатора и инструкцию по эксплуатации, включающую порядок диагностирования неисправной аппаратуры, ее ремонта и послеремонтной проверки. Руководство предназначено для операторов связи и специалистов центров технического обслуживания, осуществляющих гарантийное, послегарантийное обслуживание и ремонт оборудования.

Руководство распространяется на типополнения коммутатора в зависимости от числа коммутируемых цифровых каналов и комплектации центральным коммутирующим устройством (ЦКУ) согласно табл. 1.

Таблица 1

Обозначение	Максимальный размер матрицы коммутируемых каналов	Обозначение центрального коммутирующего устройства
СВТИ.465235.009	512x512	СВТИ.466535.001
СВТИ.465235.009-01	1024x1024	СВТИ.466535.001-01

1.2. В данном РТЭ приняты следующие условные обозначения:

- АОН – автоматическое определение номера;
- АТС – автоматическая телефонная станция;
- ВИП – вторичный источник питания;
- ИКМ - импульсно-кодовая модуляция;
- КАН – концентратор абонентской нагрузки;
- КИ - канальный интервал;
- КПД – канал первичного доступа;
- КЦК – коммутатор цифровых каналов;
- ОЗУ - оперативное запоминающее устройство;
- ПП – периферийный процессор;
- СИАС - сигнал извещения аварийного состояния;
- СЦС - сверхцикловой синхронизм;
- Ц – цикл;

ЦАТС - цифровая автоматическая телефонная станция;

ЦКУ - центральное коммутационное устройство;

ЦОС – цифровая обработка сигналов;

ЦП – центральный процессор;

ЦС - цикловой синхронизм;

ФАПЧ - фазовая автоподстройка частоты.

2. НАЗНАЧЕНИЕ, СОСТАВ, ТЕХНИЧЕСКИЕ ДАННЫЕ КОММУТАТОРА ЦИФРОВЫХ КАНАЛОВ

2.1. Назначение коммутатора

Коммутатор предназначен для создания коммутационных полей большой емкости путем объединения по стыкам ИКМ-30 (Е1) концентраторов абонентской нагрузки (КАН), цифровых автоматических телефонных станций (ЦАТС) или нескольких КЦК между собой. Коммутатор обеспечивает прием первичных цифровых потоков, обработку сигналов управления и взаимодействия, поступающих по каналам сигнализации, поиск свободных каналов по запрашиваемым направлениям и коммутацию звуковых каналов на время установления соединения. Коммутатор создает неблокируемое поле коммутации, что обеспечивает возможность коммутации любого из каналов любого входящего цифрового тракта с любым свободным каналом любого исходящего тракта.

Коммутатор может применяться на городских и сельских телефонных сетях связи России в качестве аппаратуры коммутации электронных АТС с параметрами первичного сетевого стыка, структурой цикла и сверхцикла цифровых потоков со скоростью 2048 Кбит/с, соответствующими рекомендациям МСЭ-Т G.703, G.704, G.735, ГОСТ 26886-86 и ГОСТ 27763-88.

2.2. Состав

Внешний вид коммутатора, заполненного всеми модулями, показан на рис. 1.

В базовый вариант состава коммутатора входят:

корпус	СВТИ.468364.102	-	1 шт.
центральное коммутационное устройство ЦКУ	СВТИ.465535.001		
или	СВТИ.466535.001-01	-	1 шт.
модуль интерфейсный 4хИКМ-30	СВТИ.465237.013	-	до 7 шт.
В состав корпуса входят:			
кабель	СВТИ.685011.110	-	1 шт.
кабель	СВТИ.685011.110-01	-	1 шт.
кабель	СВТИ.685011.110-02	-	1 шт.
кабель	СВТИ.685011.110-03	-	1 шт.
В состав центрального коммутационного устройства входят:			
кросс-плата	ВР-8S (фирма ICP)	-	1 шт.

КОММУТАТОР ЦИФРОВЫХ КАНАЛОВ
 Руководство по технической эксплуатации

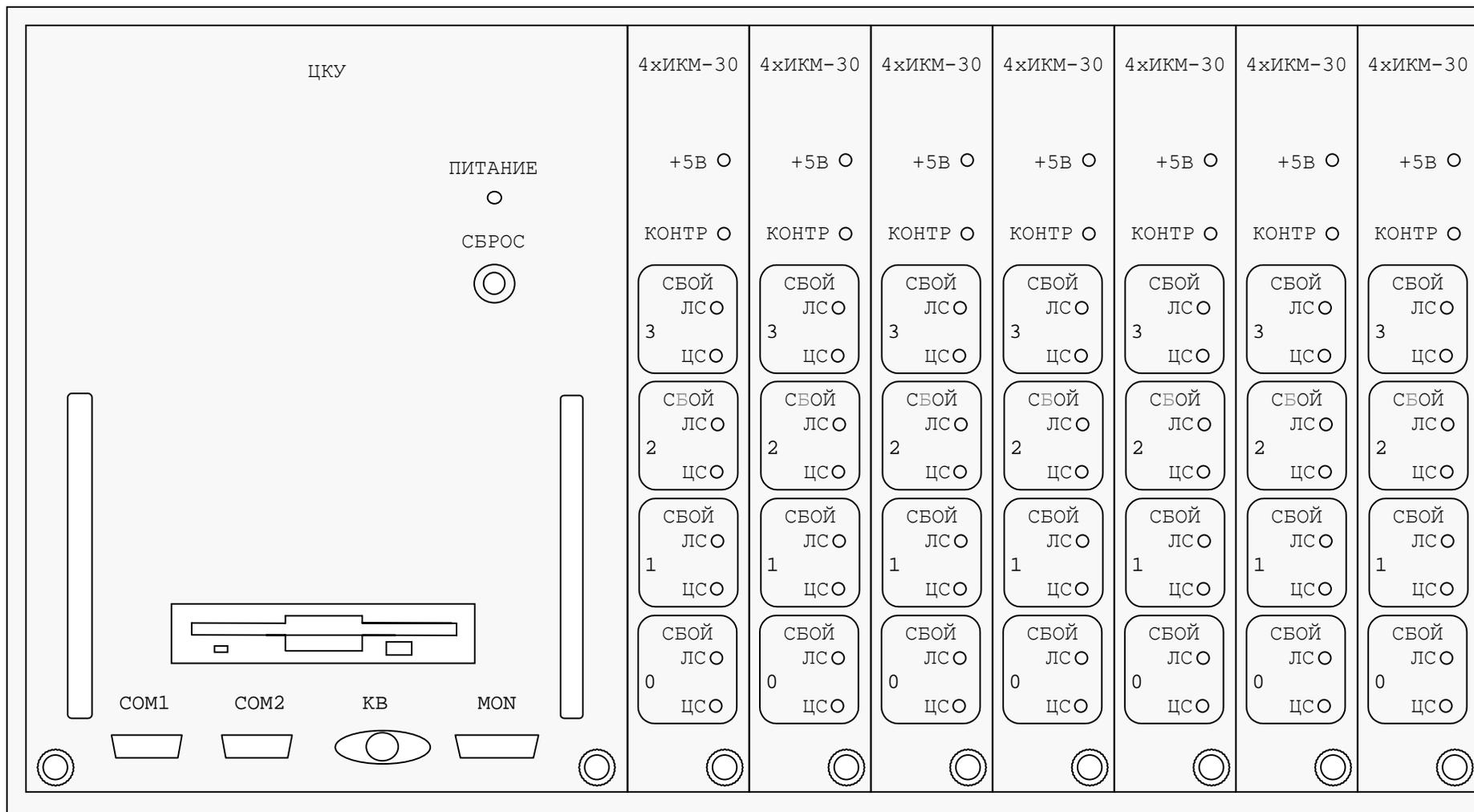


Рис. 1. Внешний вид коммутатора

плата центрального процессора (ЦП) CPU	SSC-5x86HVGA (фирма ICP)	-	1 шт.
накопитель на гибких магнитных дисках	НГМД 1.44 Мб (3,5")	-	1 шт.
плата контроллера CON	СВТИ.468362.007		
или	СВТИ.468362.007-01	-	1 шт.
плата коммутатора DX16	СВТИ.468351.021		
или плата коммутатора DX32	СВТИ.468351.022	-	1 шт.
плата процессора цифровой обработки сигналов (ЦОС) DSP	СВТИ.467444.016	-	1 шт.
плата адаптера 1 ADP1	СВТИ.468359.012	-	1 шт.
плата адаптера 2 ADP2	СВТИ.468359.013	-	1 шт.
вторичный источник питания ВИП	АСЕ-870Т-А (фирма ICP)	-	1 шт.

Плата коммутатора DX16 СВТИ.468351.021 и плата контроллера CON СВТИ.468362.007 предназначены для работы с матрицей коммутируемых каналов 512x512. Для работы с матрицей коммутируемых каналов 1024x1024 в состав центрального коммутационного устройства входят плата коммутатора DX32 СВТИ.468351.022 и типоразмер платы контроллера CON СВТИ.468362.007-01.

Плата адаптера ADP2 СВТИ.468359.013 включается в состав блока ЦКУ только для работы с платой коммутатора DX32.

Базовый комплект поставки коммутатора, по желанию пользователя, может дополняться технологической аппаратурой технической эксплуатации. В минимальной комплектации, при построении системы коммутации на базе одного КЦК без выносного пульта оператора, это монитор типа VGA и клавиатура PC. При создании выносного пульта оператора, в комплект поставки помимо монитора и клавиатуры, могут дополнительно входить системный блок пульта оператора с процессором не ниже 486 и сетевые платы для объединения ЦП коммутатора и компьютера пульта оператора по сети Ethernet.

2.3. Технические характеристики

Коммутатор в полной комплектации характеризуется следующими техническими параметрами.

Технические параметры интерфейсных стыков E1 коммутатора соответствуют рекомендации G.703 МСЭ-Т и ГОСТ 26886-86.

Количество коммутируемых первичных цифровых потоков E1	- 12 или 28
Общее число коммутируемых каналов тональной частоты	- 360 или 840
Типы сигнализации	- ВСК, ОКС
Параметры цифровых сигналов на первичных стыках на нагрузке $(120 \pm 1,2)$ Ом: скорость передачи	- $2048 \times (1 \pm 50 \times 10^{-6})$ кбит/с
код стыкового сигнала	- HDB-3 или CM1
номинальное напряжение импульсов любой полярности	- $3,0 \pm 0,3$ В
номинальная длительность импульса на уровне 0,5 амплитуды	- 244 нс
Напряжение питания: от сети постоянного тока в диапазоне	- от минус 42 до минус 72 В
собственное психометрическое напряжение пульсаций источника питания, не более	- 0,002 мВ
потребляемая мощность, не более	- 200 Вт

3. ОБЩИЕ СВЕДЕНИЯ О КОММУТАТОРЕ ЦИФРОВЫХ КАНАЛОВ, ПРИНЦИП ЕГО РАБОТЫ И РАБОТЫ ЕГО СОСТАВНЫХ ЧАСТЕЙ

3.1. Принцип работы коммутатора

Принцип коммутации цифровых каналов, примененный в коммутаторе, основан на принципе работы пространственно-временного коммутатора, перемещающего кодовые комбинации из одного цифрового тракта в другой и из одной временной позиции в другую. Необходимая задержка кодовой комбинации в течение интервала времени, не превышающего длительности периода дискретизации звуковых аналоговых сигналов, достигается выбором соответствующих временных соотношений между записью в информационную (буферную) память и считыванием комбинаций, поступающих по каждому каналу.

Структурная схема коммутатора приведена на рис. 2. Схема включает в себя следующие основные элементы:

каналы первичного доступа (КПД), собранные в группы по 4 канала;
периферийные процессоры (ПП), по одному на каждую группу каналов первичного доступа;

центральный процессор (ЦП);

схему доступа ЦП к периферийным процессорам;

собственно коммутационную матрицу;

процессор цифровой обработки сигналов (ЦОС).

Каналы первичного доступа обеспечивают сопряжение КЦК с линейными цифровыми трактами передачи ИКМ-30. Информационные сигналы, приходящие по входящим цифровым трактам в линейном коде HDB-3 или СМІ, преобразуются в КПД в последовательные двоичные коды. После достижения состояния синхронизма с входящим потоком, из последовательных кодов, по мере их поступления, выделяются 8-разрядные кодовые комбинации, принимаемые в канальных интервалах (КИ) первичных потоков, из которых формируются два последовательных потока:

поток данных, содержащий выборки, принятые в звуковых каналах;

поток управления, содержащий информацию, принятую в каналах управления и сигнализации, а также данные о состоянии канала первичного доступа.

Потоки управления поступают на периферийные процессоры, в которых производится предварительная обработка управляющей информации с 4 каналов первичного доступа, ее форматирование и передача через схему доступа к периферийным процессорам центральному процессору. Центральный процессор осуществляет полную обработку управляющей

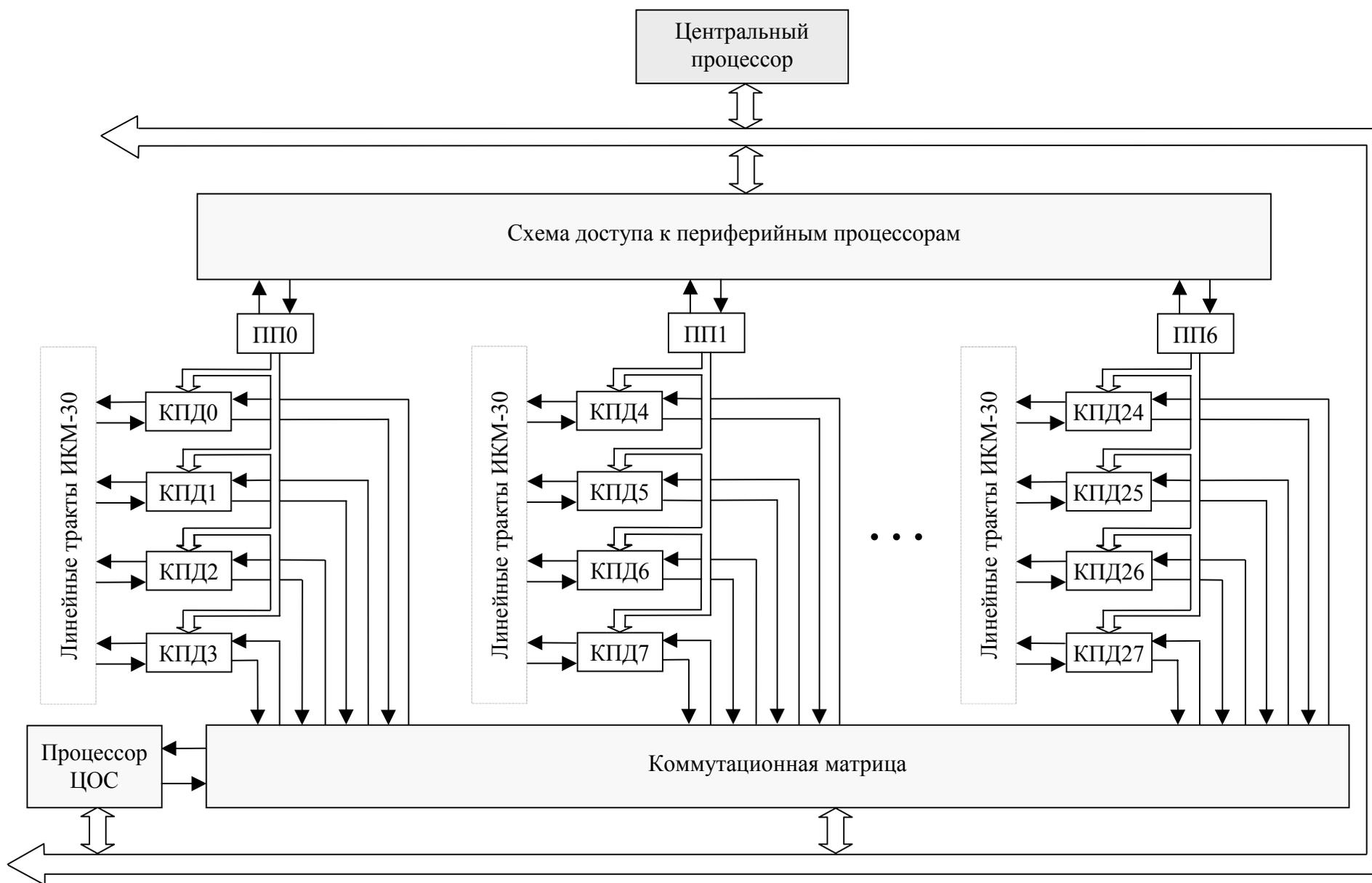


Рис. 2. Структурная схема коммутатора

информации и по ее результатам заполняет таблицу текущих соединений между звуковыми каналами первичных потоков ИКМ-30 для управления коммутационной матрицей.

Потоки данных из каналов первичного доступа подаются непосредственно на входы коммутационной матрицы, в которой под управлением таблицы соединений производится временное и пространственное перемещение звуковых выборок между канальными интервалами входящих потоков. В результате на выходе коммутационной матрицы образуются исходящие потоки данных для передачи в каналы первичного доступа.

Параллельно центральный процессор вырабатывает и передает периферийным процессорам управляющую информацию, необходимую для формирования исходящих потоков ИКМ-30. В каналах первичного доступа производится объединение потоков данных и управления в последовательные двоичные потоки в формате ИКМ-30, их преобразование в импульсный код HDB-3 или CMI и выдача в линейные исходящие тракты ИКМ-30.

В случае работы с протоколами сигнализации, основывающимися на сигналах тональных частот, а также для реализации функций автоматического определения номера (АОН), в схему коммутатора включен процессор цифровой обработки сигналов (ЦОС). Процессор ЦОС подсоединен непосредственно к одному из полюсов коммутационной матрицы, что позволяет подать на обработку сигналы любого звукового канала из первичных потоков.

Для обмена и взаимодействия между функциональными блоками коммутатора используются два типа магистралей, выбор которых обусловлен подходом, использованным при разработке аппаратуры. Этот подход основан на применении гибких унифицированных технических решений для построения управляющего ядра коммутатора и специализированной элементной базы для построения узлов, выполняющих специфические функции сопряжения с линейными трактами первичных цифровых потоков и коммутации цифровых каналов.

Аппаратурная реализация схемы управления базируется на открытой архитектуре персональных компьютеров. В качестве центрального процессора использован промышленный одноплатный компьютер SSC-5x86HVGA, изготавливаемый фирмой ICP, с системной шиной ISA, к которой в качестве плат расширения подключены функциональные платы центрального коммутационного устройства. Тем самым с одной стороны обеспечивается возможность применения всего комплекса программного обеспечения, созданного для персональных компьютеров, что значительно сокращает сроки разработки и отладки рабочих программ, их модификации для различных условий включения коммутатора в сети связи. С другой стороны можно легко изменять конфигурацию аппаратуры и применять практически любую комбинацию оборудования.

К шине ISA подсоединены платы, функционирующие под непосредственным управлением рабочей программы, выполняемой центральным процессором. К ним относятся плата контроллера CON, на которой расположена часть схемы доступа к периферийным процессорам, плата коммутатора DX16 или DX32 с реализованными на ней таблицей соединений и матрицей коммутации, и плата процессора цифровой обработки сигналов DSP.

В шину ISA включается также, в случае необходимости, стандартная сетевая плата для объединения нескольких коммутаторов и компьютера технической эксплуатации в локальную сеть Ethernet.

Функциональная часть аппаратуры коммутатора, обеспечивающая преобразование и обработку связанной информации, построена на специализированных микросхемах для телекоммуникационных систем, выпускаемых корпорацией MITEL Semiconductor (Канада). Эти микросхемы сопрягаются между собой по последовательной синхронной магистрали с временным разделением ST-BUS, предназначенной для передачи временных потоков со скоростью 2048 кбит/с при конфигурации для 32 каналов по 64 кбит/с. На базе микросхем MITEL Semiconductor построены каналы первичного доступа, коммутационная матрица и схема доступа к периферийным процессорам. Магистраль ST-BUS обеспечивает синхронность их работы и взаимодействия между собой.

Конструктивно, каналы первичного доступа, сгруппированные по четыре канала с управляющим периферийным процессором, расположены в модулях 4xИКМ-30. Последовательные магистрали, по которым передаются потоки данных между модулями 4xИКМ-30 и коммутационной матрицей, позволяют существенно сократить объем и плотность монтажа в КЦК.

Каждая из схем доступа к периферийным процессорам, обеспечивающая взаимодействие центрального и периферийного процессоров, представляет собой две оконечные микросхемы параллельного доступа к магистрали ST-BUS, одна из которых расположена на плате контроллера CON и сопрягается по параллельному порту с шиной ISA центрального процессора, а другая находится в модуле 4xИКМ-30 и подключена к параллельной шине периферийного процессора. Параллельные сопряжения работают в асинхронном режиме под управлением соответствующих шинных сигналов. Между собой оконечные схемы связаны последовательной синхронной магистралью ST-BUS.

Плата ЦОС также подключена к одному из потоков данных коммутационной матрицы при помощи схемы параллельного доступа к магистрали ST-BUS, асинхронный параллельный порт которой подсоединен к шине сигнального процессора, а последовательный порт к магистрали ST-BUS, связывающей плату с коммутационной матрицей.

3.2. Функциональный контроль и управление

Функционирование коммутатора осуществляется под управлением рабочей программы, загружаемой с дискеты в память центрального процессора через дисковод накопителя на гибких магнитных дисках. Вместе с рабочей программой в память процессора загружается также программа задания конфигурации коммутатора, позволяющая адаптировать рабочую программу к конкретным условиям включения коммутатора в сеть связи. С помощью программы конфигурации устанавливаются характеристики коммутатора, модулей 4×ИКМ-30 и коммутационного поля, образуемого коммутатором вместе с сопрягаемыми АТС.

После задания характеристик и запуска рабочей программы коммутатор функционирует автоматически и не требует вмешательства технического персонала.

В коммутаторе предусмотрена встроенная программно-аппаратная система функционального контроля, выполняющая непрерывное слежение за исправностью аппаратуры, состоянием первичных цифровых трактов на ближнем и удаленном концах и правильностью выполнения рабочей программы. Результаты контроля отображаются световыми индикаторами на лицевых панелях центрального коммутационного устройства и модулей 4×ИКМ-30. На лицевой панели блока ЦКУ находится индикатор ПИТАНИЕ, показывающий, что напряжение питания блока ЦКУ соответствует норме. На лицевой панели каждого модуля 4×ИКМ-30 находятся индикатор +5В, отображающий режим питания модуля, светодиод КОНТР, свидетельствующий о правильном выполнении управляющей программы, и индикаторы СБОЙ ЛС, СБОЙ ЦС состояния каждого первичного потока. Первый из них загорается в случае пропадания входного линейного сигнала, а второй сигнализирует о потере цикловой синхронизации.

Текущий контроль за функциональным состоянием коммутатора осуществляется с пульта оператора. На экран монитора компьютера оператора выводится информация об исправности аппаратуры, загруженности узлов системы коммутации, состоянии линий и отдельных каналов каждой линии.

3.3. Режимы синхронизации аппаратуры коммутатора

Синхронность работы и взаимодействия узлов коммутатора, выполняющих функции сопряжения с линейными трактами первичных потоков и коммутации цифровых каналов, обеспечивается центральным синхронизатором, расположенным на плате адаптера ADP1. Центральный синхронизатор генерирует синхроимпульсы С2 с частотой повторения 2,048 МГц, С4 частотой 4,096 МГц и кадровые импульсы F0 частотой 8 кГц, необходимые для работы каналов первичного доступа, коммутационной матрицы и магистралей ST-BUS.

Центральный, периферийные процессоры и процессор ЦОС работают асинхронно относительно центрального синхронизатора и питаются от своих собственных генераторов. Центральный процессор работает с тактовой частотой 25 МГц, сигнальный и периферийные процессоры работают на частоте 10 МГц.

Центральный синхронизатор коммутатора может работать в режимах синхронизации аппаратуры “ведущий” и “ведомый” относительно входящих первичных потоков. В свою очередь в режиме “ведущий” предусмотрены два вида синхронизации: внутренняя и внешняя. При внутренней синхронизации опорным генератором является синхронизатор коммутатора. При внешней синхронизации осуществляется фазовая автоподстройка частоты внутреннего синхронизатора от внешнего опорного генератора. В режиме “ведомый” фазовая автоподстройка частоты внутреннего синхронизатора производится по частоте одного из принимаемых первичных цифровых потоков. В случае пропадания этого цифрового потока поведение коммутатора определяет установленная в коммутаторе версия управляющей программы. Возможными сценариями в этом случае могут быть автоматический переход в режим “ведущий” или последовательные переходы на заданные алгоритмом другие первичные потоки. Режим, вид синхронизации, номер модуля 4хИКМ-30 и номер первичного потока источника опорного синхросигнала задаются программно при конфигурировании коммутатора.

3.4. Электропитание и система охлаждения

Электропитание коммутатора цифровых каналов осуществляется от сети постоянного тока или аккумуляторных батарей с номинальным напряжением минус 60 В. Коммутатор обеспечивает выполнение своих функций при изменении первичного напряжения в диапазоне от минус 42 В до минус 72 В. Номиналы вторичных напряжений, необходимых для питания аппаратуры, вырабатываются вторичными источниками питания, расположенными в центральном коммутационном устройстве и каждом из модулей 4хИКМ-30. Вторичный источник питания ACE-870T-A ICP в ЦКУ вырабатывает напряжение +5 В 7 А, от которого питаются платы контроллера CON, коммутатора DX16 или DX32, процессора цифровой обработки сигналов DSP, адаптера 1 ADP1, центрального процессора CPU и дисковод НГМД, напряжение +12 В 2,5 А, требуемое для дисковода НГМД. Кроме того, ВИП ACE-870T-A ICP вырабатывает напряжения минус 5 В 0,3 А и минус 12 В 0,3 А, которые в аппаратуре коммутатора не используются.

Источник вторичного питания в модуле 4хИКМ-30 на основе микросборки типа TEM10-4811 фирмы TRACO, преобразует первичное напряжение в стабилизированное

напряжение питания микросхем +5 В. Схема питания от напряжения минус 60 В дает возможность устанавливать и извлекать модуль 4xИКМ-30 из системного разъема корпуса коммутатора без выключения первичного питания коммутатора.

Низкая величина мощности, рассеиваемой коммутатором, позволяет избежать применения принудительных способов охлаждения аппаратуры. Охлаждение коммутатора осуществляется естественным образом за счет притока более холодного наружного воздуха через отверстия в нижней и выхода подогретого воздуха в верхней частях корпуса коммутатора.

3.5. Конструкция коммутатора

Конструктивно коммутатор выполнен в виде корпуса с однорядным расположением входящих модулей, устанавливаемом или индивидуально, или в опорной стойке цифровых автоматических станций серии “Омега”. Соединения между входящими модулями коммутатора осуществляются с помощью монтажной объединительной панели. На ней закреплены розетки разъемов, в которые вставляются ламельные печатные разъемы функциональных модулей. Монтаж объединительной панели выполнен методом крутки.

В верхней части монтажного отсека расположены панели с разъемами для подключения кабелей ввода-вывода первичных цифровых потоков. На задней стороне корпуса установлена вилка разъема для подключения фидера первичного питания. Там же расположены тумблер включения питания и клемма защитного электротехнического заземления.

Центральное коммутационное устройство представляет собой блок, на каркасе которого закреплены кросс-плата, вторичный источник питания и платы адаптеров ADP1, ADP2. На лицевой панели ЦКУ установлены накопитель на гибких магнитных дисках, разъемы портов ввода-вывода COM 1, COM 2 центрального процессора, разъемы KB и MON для подключения клавиатуры и монитора. Здесь же расположена кнопка СБРОС для перезапуска центрального процессора. Платы центрального процессора CPU, контроллера CON, коммутатора DX и процессора цифровой обработки сигналов DSP вставляются ламельными печатными разъемами в разъемы кросс-платы, обеспечивающей взаимодействие плат по ISA шине и подачу на платы питающих напряжений. Все остальные соединения между узлами, входящими в состав центрального коммутационного устройства, выполняются разъемными кабелями. Блок ЦКУ подключается к монтажной объединительной панели корпуса коммутатора через ламельные печатные разъемы плат адаптеров ADP1, ADP2.

4. ОПИСАНИЕ МОДУЛЕЙ И ПЛАТ

4.1. Центральное коммутационное устройство СВТИ.465535.001

При изучении и эксплуатации центрального коммутационного устройства необходимо дополнительно руководствоваться схемой электрической общей СВТИ.465535.001 Э6.

4.1.1. Плата центрального процессора SSC-5x86HVGA ICP

При изучении и эксплуатации платы необходимо дополнительно пользоваться «Руководством пользователя», поставляемом фирмой-изготовителем в комплекте с платой.

Плата центрального процессора SSC-5x86HVGA, выпускаемая фирмой ICP, представляет собой одноплатный компьютер, предназначенный для использования в промышленных системах. Плата комплектуется процессором 486DX/DX2/DX4 или AMD 5x86-133, имеет ISA шину и полностью совместима с IBM PC/AT и XT архитектурой персональных компьютеров. Плата снабжена двумя 72 контактными SIMM разъемами для установки оперативной памяти, что допускает включение 1 Мб, 2 Мб, 4 Мб, 8 Мб, 16 Мб и 32 Мб SIMM модулей памяти. В результате, общая оперативная память процессора может быть сконфигурирована от 1 Мб до 64 Мб.

На плате установлены контроллеры накопителей на гибких и жестких дисках, VGA видеоадаптер и полный набор кристаллов для подключения клавиатуры, манипулятора типа «мышь» и других внешних устройств через параллельный и два последовательных порта.

Дополнительно плата оснащена флэш-дискон (дискон на кристалле) объемом 4 Мб, полностью совместимом с накопителем на жестких дисках.

Важной особенностью промышленного компьютера SSC-5x86HVGA ICP является наличие таймера аварийного сброса (watch-dog timer), который может быть запрограммирован на время срабатывания от 1 до 220 секунд. Использование аварийного перезапуска центрального процессора позволяет автоматически восстановить функционирование коммутатора в случае несанкционированной остановки выполнения рабочей программы.

4.1.2. Плата контроллера CON СВТИ.468362.007

При изучении и эксплуатации платы необходимо дополнительно руководствоваться схемой электрической принципиальной СВТИ.468362.007 Э3.

Плата контроллера предназначена для обеспечения параллельного доступа центрального процессора по системной шине ISA к последовательным каналам приема и передачи индивидуальной сигнализации магистрали ST-BUS, а также для слежения за

состоянием битов канальной сигнализации и генерации сигналов запросов прерываний с гибким программированием условий их возникновения.

Плата состоит из следующих основных узлов:

буферных регистров шин данных, адреса и управления магистрали ISA D5, D6;

схемы идентификатора адресов обращения к плате, содержащей ключ идентификатора D7 и дешифратор D1;

логики управления магистрали ISA D2...D4, D8, D9;

схем параллельного доступа к магистрали ST-BUS D11...D17;

регистра управления D22;

регистра прерываний D19;

буферных схем магистрали ST-BUS D10, D18.

В режиме программного обмена процессора с платой контроллера по шине ISA используется цикл обмена с устройством ввода/вывода. Временная диаграмма цикла обмена для этого случая приведена на рис. 3.

Циклы начинаются с выставления процессором адреса на линиях SA0...SA12. Распределение адресного пространства платы приведено в табл. 2.

Таблица 2

Начальный адрес	Тип цикла обращения	Выбираемый узел на плате
0140h	Чтение	Регистр прерываний
0140h	Запись	Регистр управления
0540h	Чтение/запись	Схема доступа к каналу 1
0940h	то же	Схема доступа к каналу 2
0D40h	то же	Схема доступа к каналу 3
1140h	то же	Схема доступа к каналу 4
1540h	то же	Схема доступа к каналу 5
1940h	то же	Схема доступа к каналу 6
1D40h	то же	Схема доступа к каналу 7

В случае совпадения адресных разрядов SA6...SA9 с кодом платы контроллера, зашитом на входе схемы сравнения D7, и низком уровне шинного сигнала AEN (разрешение адреса), на выходе схемы сравнения появляется высокий уровень, разрешающий работу дешифратора D1 трех старших разрядов адреса SA10...SA12. Если эти разряды имеют нулевое значение, процессор осуществляет или запись информации, выставленной на линиях

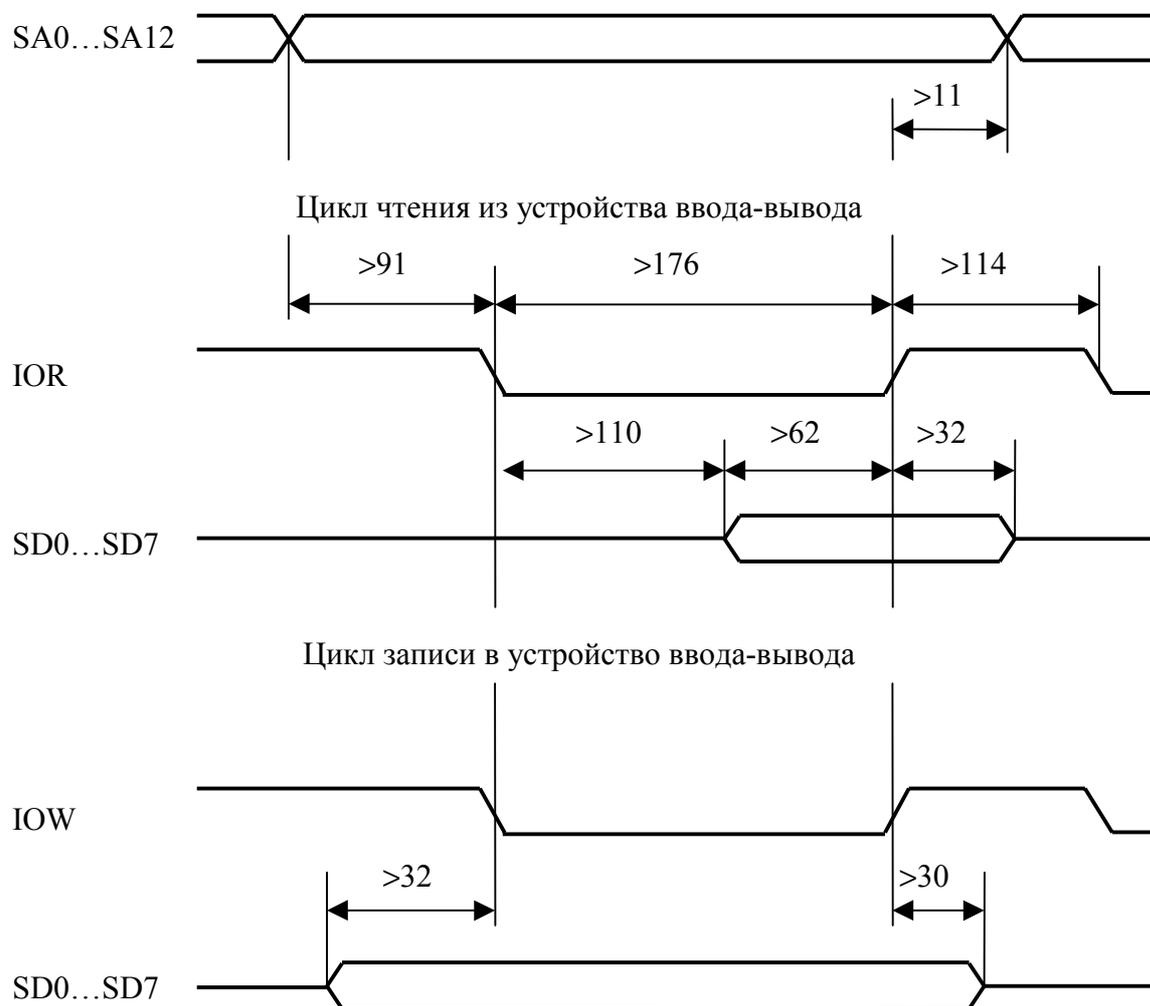


Рис. 3. Временная диаграмма цикла обмена процессора с устройством ввода-вывода по шине ISA (все временные интервалы в наносекундах)

данных SD0...SD7, в регистр управления D22 задним фронтом шинного сигнала IOW (строб записи данных в устройство ввода/вывода), или считывание состояния регистра прерываний D19 по шинному сигналу IOR (строб чтения данных из устройства ввода/вывода).

Если кодовая комбинация трех старших разрядов адреса принимает значения от 001b до 111b, то дешифратор вырабатывает строб с низким активным уровнем выборки для параллельного доступа схемы канала магистрали ST-BUS с номером, равным значению кодовой комбинации.

В качестве схем параллельного доступа применены микросхемы корпорации MITEL Semiconductor MT8920BE. Подробное описание микросхемы MT8920BE, ее электрические и временные спецификации приведены в [1, 2]. Ниже даны общие сведения о микросхеме, необходимые для понимания работы платы контроллера.

Структурная схема ИС MT8920BE приведена на рис. 4. Схема содержит параллельный порт сопряжения, включающий регистры управления и прерываний, двухпортовое ОЗУ передачи 32×8 (Tx0), двухпортовое ОЗУ приема 32×8 (Rx0), двухпортовое ОЗУ передачи 32×8 (Tx1), параллельно–последовательный преобразователь, последовательно–параллельный преобразователь, генератор адресов, компаратор–мультиплексор (Mx).

Каждый из трех последовательных цифровых потоков магистрали ST-BUS соединяется с параллельной магистралью через 32×8-разрядное двухпортовое ОЗУ. Это обеспечивает возможность асинхронного доступа к параллельной магистрали, в то время как доступ через порт магистрали ST-BUS синхронизирован с тактовым сигналом этой магистрали. Интерфейс ST-BUS представляет собой последовательные синхронные потоки данных со скоростью передачи информации 2048 Кбит/с, разделенные на кадры длительностью 125 мкс (рис. 5). Кадр разделяется в свою очередь на 32 канальных временных интервала КИ0,...,КИ31, а каждый канальный интервал состоит из 8 тактовых интервалов. В каждом тактовом интервале осуществляется передача 1 бита информации в формате без возврата к нулю. Синхронизация потоков осуществляется кадровыми импульсами F0 частотой 8 кГц, которые определяют границы кадров, и тактовыми импульсами C4 частотой 4096 кГц, определяющими временное положение отдельных разрядов в потоках. Временные соотношения между синхросигналами F0, C4 и разрядами данных показаны на рис. 6.

По мере поступления последовательного кода по входной магистрали STi0 из него выделяются 8-разрядные коды канальных интервалов, которые в параллельной форме записываются в двухпортовое ОЗУ приема Rx0 по адресам, вырабатываемым генератором адреса. Генератор формирует адреса таким образом, что в ячейку ОЗУ с адресом 00000b

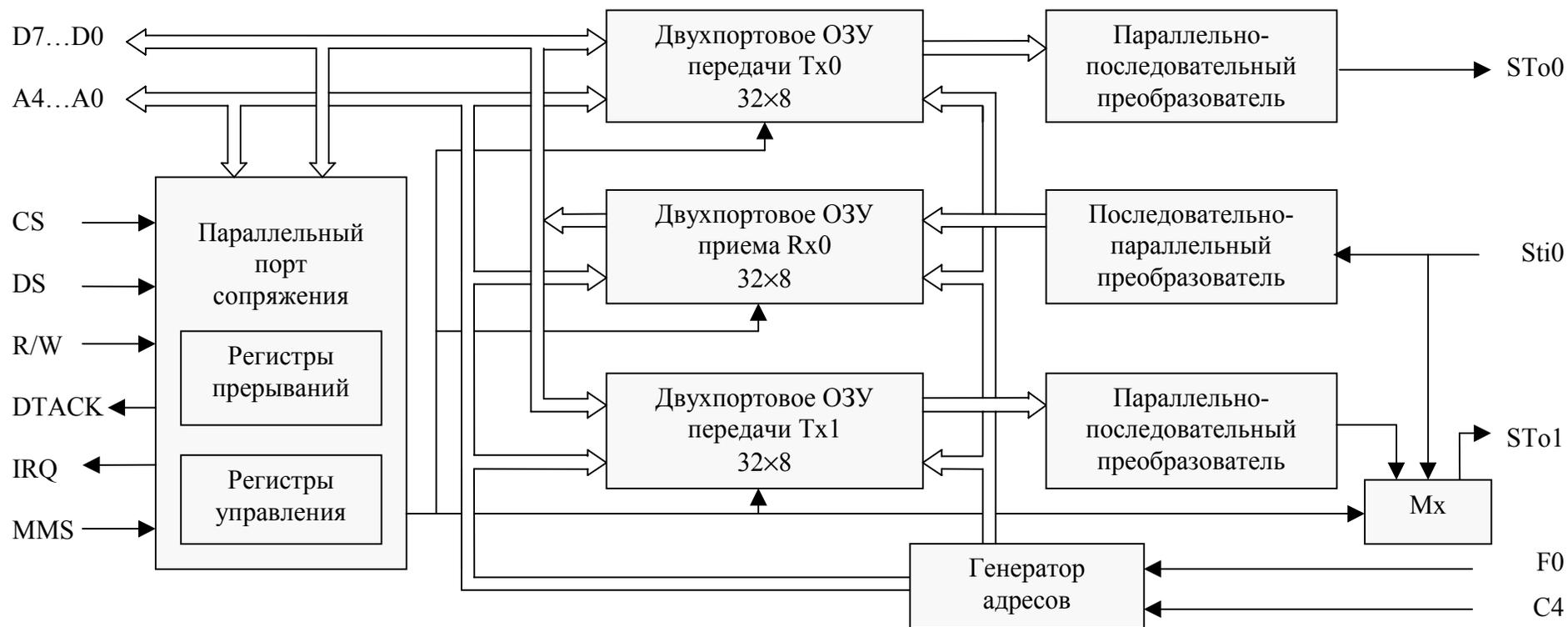


Рис. 4. Структурная схема ИС MT8920BE

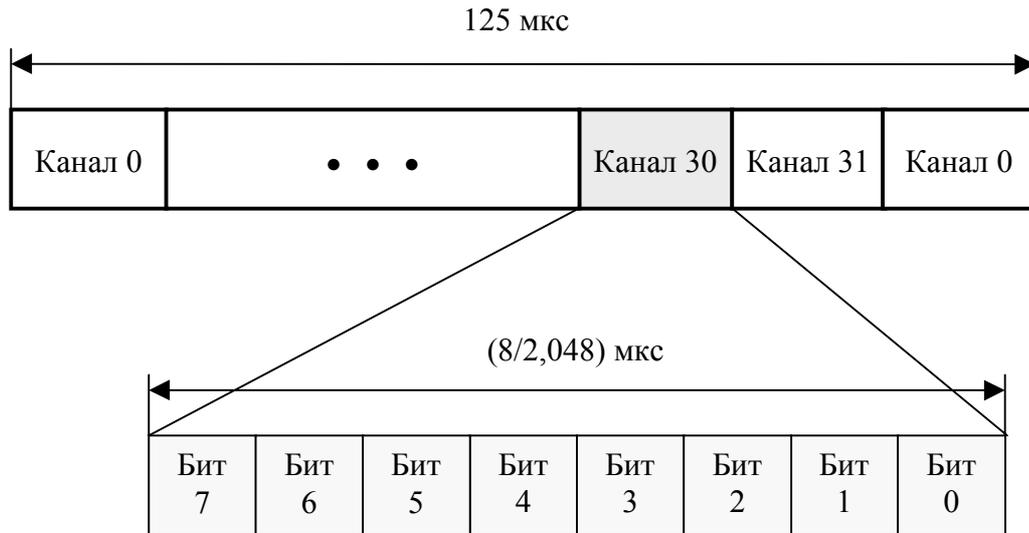


Рис. 5. Формат 2048 кбит/с потока ST-BUS

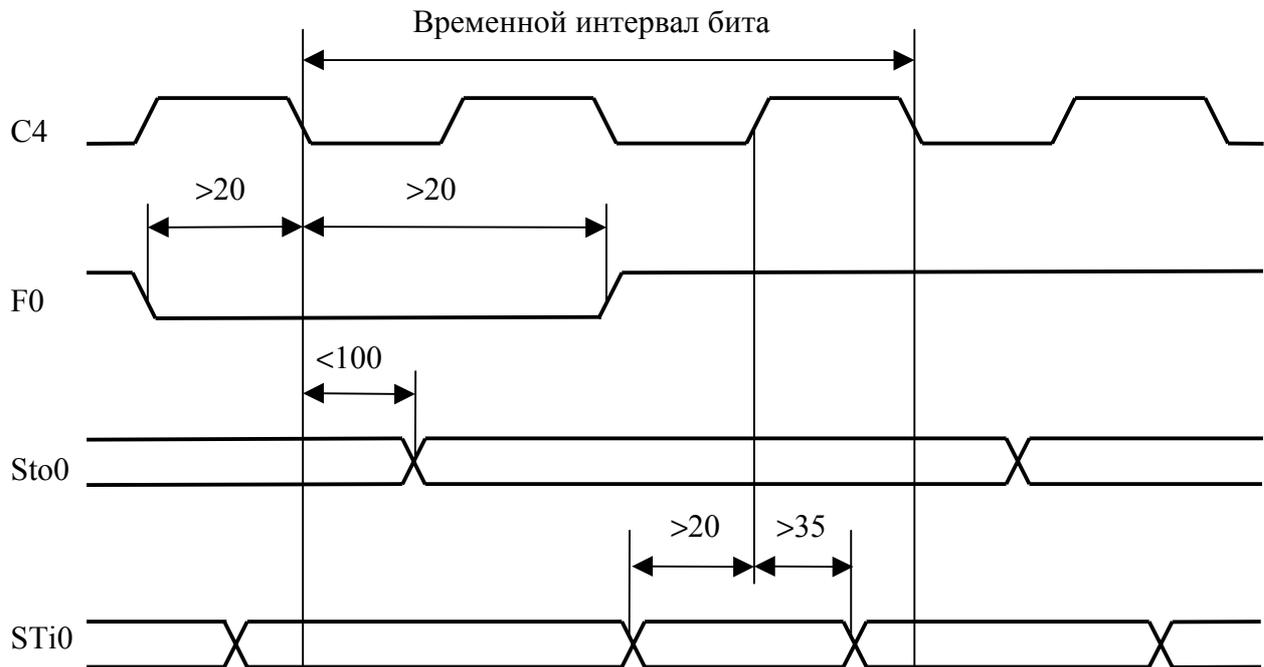


Рис. 6. Временная диаграмма интерфейса ST-BUS для ИС MT8920BE
(все временные интервалы в наносекундах)

записывается код, соответствующий КИ0 входной магистрали, в ячейку с адресом 00001b записывается код КИ1 и так далее. Аналогично осуществляется адресация ОЗУ передачи Tx0, Tx1: информация, считанная из ячейки с адресом 00000b, передается в КИ0 выходных потоков STo0, STo1 и так далее.

На плате контроллера ИС МТ8920 включены в режиме периферийных асинхронных устройств управляющего процессора. Задание режима работы осуществляется подачей сигнала высокого уровня на вход MMS (вывод 27). Вход MMS используется также для сброса регистров управления и прерываний схемы по сигналу RESET процессора.

В режиме периферийного асинхронного устройства все три двухпортовых ОЗУ (Tx0, Tx1, и Rx0) доступны для процессора, который может считывать информацию из ОЗУ приема и записывать в ОЗУ передачи по вторым портам по своей программе независимо от процессов, происходящих на портах со стороны магистрали ST-BUS. Полностью доступны также все дополнительные регистры управления и прерываний. Карта адресов схемы для этого случая приведена в табл. 3.

Адресация ОЗУ и регистров управления и прерывания микросхем МТ8920 осуществляется непосредственно адресными разрядами SA0...SA5 магистрали ISA и расширяется для получения удобного доступа ко второму ОЗУ передачи Tx1 при помощи разряда A6, который предварительно заносится в регистр управления.

В режиме асинхронного периферийного устройства микросхема использует на параллельном сопряжении сигналы:

/CS (вывод 5) - выбор кристалла для параллельного доступа (активный уровень низкий);

R/W (вывод 7) - задает операцию на магистрали данных как цикл чтения (R/W =1) или записи (R/W =0);

/DS (вывод 6) – строб данных, указывает схеме что во время операции записи на магистрали данных находятся правильные данные, или что схема должна выдать правильные данные на магистраль данных во время операции чтения (активный уровень низкий);

/DTACK (вывод 26) – подтверждение передачи данных, выдается микросхемой для подтверждения завершения передачи данных, при чтении из схемы низкий уровень сигнала указывает, что схема выдала на магистраль правильные данные, при записи низкий уровень сигнала указывает, что схема завершила прием данных с магистрали (выход с открытым коллектором);

/IRQ (вывод 25) – запрос прерывания, низкий уровень сигнала указывает, что внутри микросхемы возникло условие для прерывания (выход с открытым коллектором).

Таблица 3

Карта адресов микросхемы МТ8920

Разряд адреса							Регистр	
A6	A5	A4	A3	A2	A1	A0	Чтение	Запись
0	0	0	0	0	0	0	Rx0-канал 0	Tx0-канал 0
.
.
0	1	1	1	1	1	1	Rx0-канал 31	Tx0-канал 31
X	1	0	0	0	0	0	Регистр управления 1	Регистр управления 1
X	1	0	0	0	0	1	Регистр управления 2	Регистр управления 2
X	1	0	0	0	1	0	Регистр вектора прерывания	Регистр вектора прерывания
X	1	0	0	1	0	0	Регистр флага прерывания 1	-
X	1	0	0	1	0	1	Регистр флага прерывания 2	-
X	1	0	0	1	1	0	Регистр отображения 1	-
X	1	0	0	1	1	1	Регистр отображения 2	-
X	1	0	1	0	0	0	Регистр маски прерывания 1	Регистр маски прерывания 2
X	1	0	1	0	0	1	Регистр маски прерывания 2	Регистр маски прерывания 2
X	1	0	1	0	1	0	Регистр совпадения байта 1	Регистр совпадения байта 1
X	1	0	1	0	1	1	Регистр совпадения байта 2	Регистр совпадения байта 2
X	1	0	1	1	0	0	Адрес канала прерывания 1	Адрес канала прерывания 1
X	1	0	1	1	0	1	Адрес канала прерывания 2	Адрес канала прерывания 2
1	0	0	0	0	0	0	Rx0-канал 0	Tx1-канал 0
.
.
.
1	1	1	1	1	1	1	Rx0-канал 31	Tx1-канал 31

Управление функциями, выполняемыми схемой, осуществляется программированием регистров управления, а режимы контроля за состоянием разрядов канальной сигнализации в потоках ST-BUS задаются с помощью программирования группы регистров обработки прерываний.

Коммутационная плата выполнена по технологии многослойных печатных плат и имеет четыре слоя. На наружных слоях расположены сигнальные проводники, один из внутренних слоев использован для шины питания в виде решетки, второй—для шины корпуса. Конструкция шин питания и корпуса и их расположение обеспечивают максимальную безиндуктивную взаимную емкость между ними, которая совместно с установленными на плате фильтрующими конденсаторами устраняет помехи в цепях питания и земли, возникающие при переключении логических элементов.

Плата контроллера имеет следующие разъемы:

XR1 – ламельный печатный разъем ISA для подключения к системной магистрали;

XR2 – штыревой соединитель типа PLD-26 для связи с платой адаптера 1 по приему и передаче информации по последовательным каналам ST1...ST3 магистрали ST-BUS, приему импульсов синхронизации F0 и C4, выдаче младших 4 разрядов регистра управления;

XR3 – штыревой соединитель типа PLD-10 для трансляции синхроимпульсов на плату коммутатора;

XR4 – штыревой соединитель типа PLD-26 для связи с платой адаптера 2 по приему и передаче информации по последовательным каналам ST4...ST7 магистрали ST-BUS и выдаче старших 4 разрядов регистра управления;

JP1, JP2 - штыревые соединители типа PLS-2 для установки перемычек типа MJ-C, подключающих сигналы прерывания к шине ISA.

4.1.3. Плата коммутатора DX16 СВТИ.468351.021

При изучении и эксплуатации платы необходимо дополнительно руководствоваться схемой электрической принципиальной СВТИ.468351.021 ЭЗ.

Плата коммутатора DX16 обеспечивает коммутацию данных между входными и выходными каналами магистрали ST-BUS под управлением центрального процессора, одновременно позволяя процессору осуществлять чтение данных из входных каналов и запись данных в выходные каналы магистрали ST-BUS.

Плата содержит следующие основные узлы:

буферные регистры шин данных, адреса и управления магистрали ISA D5, D6;

схему идентификатора адресов обращения к плате, содержащую ключ идентификатора D7 и дешифратор D1;

логику управления магистрали ISA D2...D4, D8, D9;

матрицу коммутации 16×16, собранную на микросхемах D15...D18;

регистр состояния D12;

буферные схемы магистрали ST-BUS D10...D14.

В режиме программного обмена процессора с платой коммутатора 1 по шине ISA используется цикл обмена с устройством ввода/вывода. Временная диаграмма цикла обмена приведена на рис. 3. Циклы начинаются с выставления процессором адреса на линиях SA0...SA12. Распределение адресного пространства платы приведено в табл. 4.

Таблица 4

Начальный адрес	Тип цикла обращения	Выбираемый узел на плате
0100h	Чтение/запись	Схема коммутации D15
0500h	То же	Схема коммутации D16
0900h	То же	Схема коммутации D17
0D00h	То же	Схема коммутации D18
1100h	То же	Установка бита ODE
1500h	То же	Сброс бита ODE
1900h	Чтение	Регистр состояния

В случае совпадения адресных разрядов SA6...SA9 с кодом платы контроллера, зашитом на входе схемы сравнения D7, и низком уровне шинного сигнала AEN (разрешение адреса), на выходе схемы сравнения появляется высокий уровень, разрешающий работу дешифратора D1 трех старших разрядов адреса SA10...SA12.

Когда кодовая комбинация трех старших разрядов адреса принимает значения от 000b ...011b, то дешифратор вырабатывает строб с низким активным уровнем выборки одной из схем матрицы коммутации. Матрица построена на каскадно включенных микросхемах корпорации MITEL Semiconductor MT8980DE. Подробные справочные данные о микросхеме MT8980DE, временные диаграммы ее работы содержатся в [1, 2]. Ниже приведены общие сведения о микросхеме, необходимые для понимания работы платы коммутатора DX16.

Структурная схема ИС MT8980DE приведена на рис. 7. Схема содержит последовательно–параллельный преобразователь, память данных, счетчик кадров, регистр управления, интерфейс управления, выходной мультиплексор, память соединений, параллельно–последовательный преобразователь.

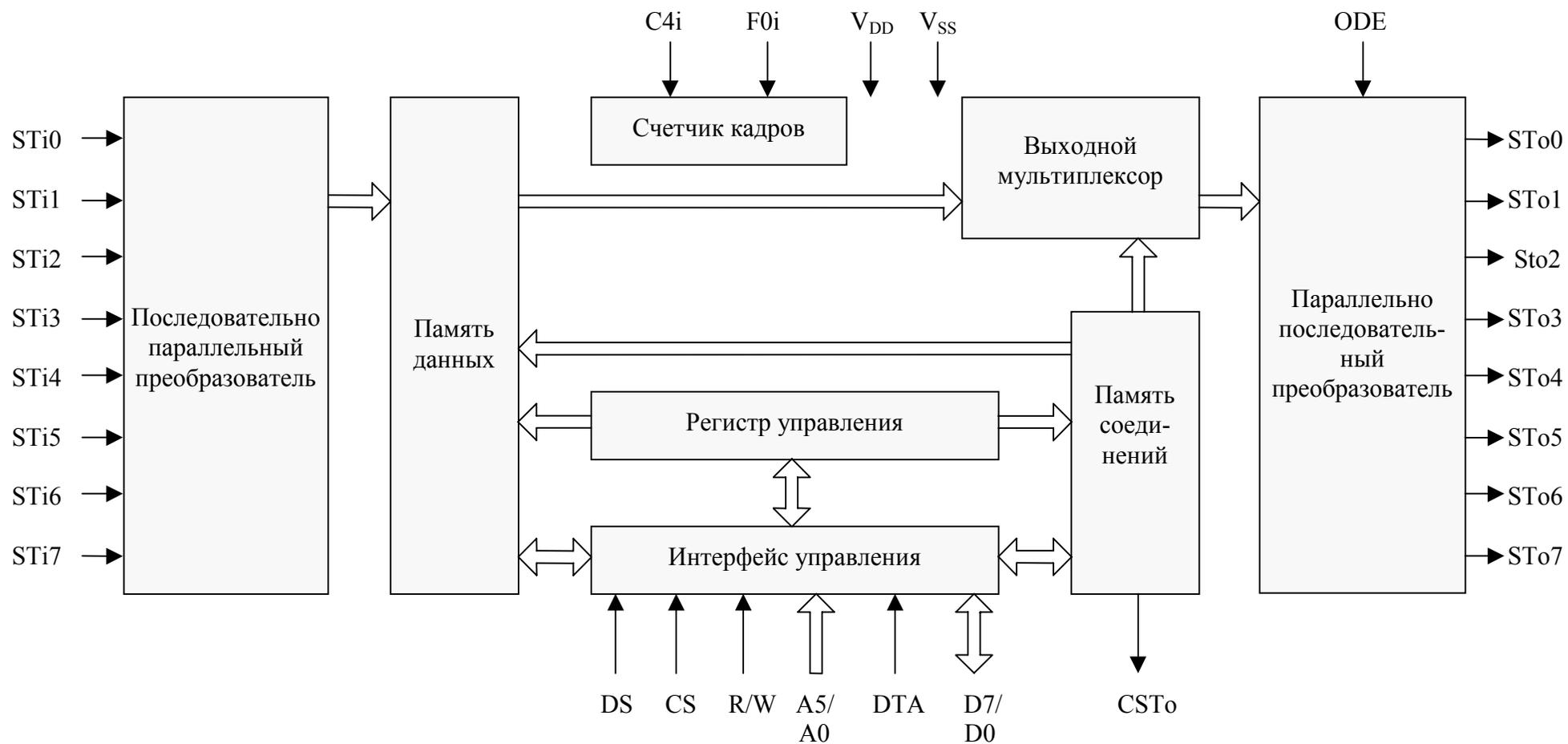


Рис. 7. Структурная схема ИС MT8980DE

Прием последовательных данных осуществляется по 8 входам стандарта ST-BUS STi0...STi7 (выводы 2,...,9), а передача последовательных данных производится через 8 выходов стандарта ST-BUS STo0...STo7 (выводы 38,...,31). Последовательные цифровые потоки магистрали ST-BUS обеспечивают непрерывную передачу информации со скоростью 2048 кбит/с и подразделены на кадры длительностью 125 мкс, содержащие по 32 8-разрядных канала. Синхронизация потоков осуществляется кадровыми импульсами F0 (вывод 11) частотой 8 кГц, которые определяют границы кадров, и тактовыми импульсами C4 (вывод 12) частотой 4096 кГц, определяющими временное положение отдельных разрядов в потоках. Временные соотношения между синхросигналами F0, C4 и разрядами данных показаны на рис.8.

Таким образом, каждый последовательный вход обеспечивает подключение 32 каналов цифровых данных, при этом каждый канал содержит 8-разрядное слово. Такое слово преобразуется из последовательной формы в параллельную и запоминается в памяти данных емкостью 256×8. Ячейки памяти данных закреплены за конкретными каналами конкретных входных цифровых потоков магистрали ST-BUS.

Ячейки памяти соединений, разделенной на верхнюю и нижнюю области, закреплены за конкретными каналами конкретных выходных потоков магистрали ST-BUS. Данные, подлежащие передаче, могут быть переданы или с входа от магистрали ST-BUS, или же непосредственно от управляющего процессора. Если данные передаются от входа (коммутируются), тогда содержимое ячейки нижней области памяти соединений, закрепленной за соответствующим выходным каналом, используется для адресации памяти данных. Этот адрес в памяти данных соответствует каналу входящего цифрового потока магистрали ST-BUS, по которому поступает информация, подлежащая коммутации. Если информация, подлежащая передаче на выход в магистраль ST-BUS, выдается процессором (режим обмена сообщениями), тогда содержимое ячейки нижней области памяти соединений, закрепленной за соответствующим выходным каналом, передается на выход непосредственно, и передача этих данных в канал повторяется в каждом кадре, пока не будет отменена самим процессором.

Режим выдачи данных для каждого конкретного выходного канала (коммутации или обмена сообщениями) определяется содержимым ячейки, соответствующей этому каналу, в верхней области памяти соединений. Там же содержится информация о переводе индивидуальных выходных каналов в высокоомное состояние, что позволяет организовать каскадное включение ИС MT8980DE.

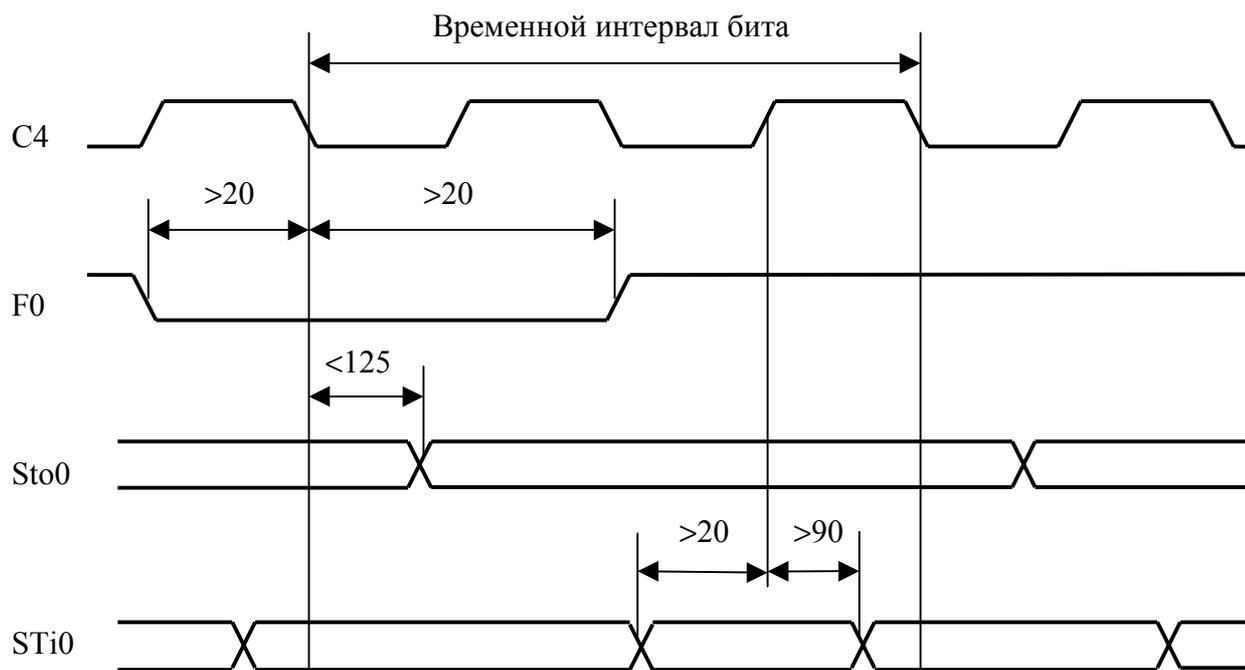


Рис. 8. Временная диаграмма интерфейса ST-BUS для микросхемы MT8980
(все временные интервалы в наносекундах)

Прием данных в память соединений осуществляется через интерфейс управления по линиям D0...D7 (выводы 29,...,22). Через интерфейс управления производится также прием адресной информации по линиям A0...A5 (выводы 13,...,18) и обработка сигналов управления:

/CS (вывод 21) - выбор кристалла для режима обмена с процессором(активный уровень низкий);

R/W (вывод 21) - задает операцию на магистрали данных как цикл чтения (R/W=1) или записи (R/W=0);

/DS (вывод 19) – строб данных, указывает схеме что во время операции записи на магистрали данных находятся правильные данные, или что схема должна выдать правильные данные на магистраль данных во время операции чтения (активный уровень высокий);

/DTA (вывод 1) – подтверждение передачи данных, выдается микросхемой для подтверждения завершения передачи данных, при чтении из схемы низкий уровень сигнала указывает, что схема выдала на магистраль правильные данные, при записи низкий уровень сигнала указывает, что схема завершила прием данных с магистрали (выход с открытым коллектором).

/ODE (вывод 39) – вход разрешения выдачи сигнала на выход микросхемы, при низком уровне на этом входе выходные каскады Sto0...Sto7 переходят в режим высокого выходного сопротивления.

Каждый адрес в памяти данных и в памяти соединений состоит из двух частей. Старшие три бита выбора адреса потока ST-BUS поступают из регистра управления, запись в который и чтение из которого осуществляются через интерфейс управления. Младшие биты, определяющие номер канала в потоке, поступают непосредственно из адресных линий. Распределение адресов памяти ИС приведено в табл. 5.

Таблица 5

A5	A4	A3	A2	A1	A0	Шестнадцатеричный адрес	Назначение ячейки
0	X	X	X	X	X	00...1F	Регистр управления
1	0	0	0	0	0	20	Канал 0
1	0	0	0	0	1	21	Канал 1
.
.
.
1	1	1	1	1	1	3F	Канал 31

Коммутационная плата выполнена по технологии многослойных печатных плат.

Плата коммутатора DX16 имеет следующие разъемы:

XR1 – ламельный печатный разъем ISA для подключения к системной магистрали;

XR2 – штыревой соединитель типа PLD-26 для приема входных потоков ST-BUS STi0...STi11 с платы адаптера 1;

XR3 – штыревой соединитель типа PLD-26 для выдачи выходных потоков ST-BUS STi0...STi11 на плату адаптера 1;

XR4 – штыревой соединитель типа PLD-10 для обмена потоками данных ST12 с первой платой цифровой обработки сигналов;

XR5 – штыревой соединитель типа PLD-10 для обмена потоками данных ST13 со второй платой цифровой обработки сигналов;

XR6 – штыревой соединитель типа PLD-10 для обмена потоками данных ST14 с платой интерфейса E1;

XR7 – штыревой соединитель типа PLD-10 для обмена потоками данных ST15 (в коммутаторе не используется, предназначен для контроля платы);

XR8 - штыревой соединитель типа PLD-10 для приема импульсов синхронизации с платы контроллера;

XR9 - штыревой соединитель типа PLD-10 для приема сигналов состояния коммутатора и модулей 4xИКМ-30 с платы адаптера 1 ADP1;

JP1 - штыревой соединитель типа PLS-2 для установки перемычки типа MJ-C с целью модификации адресного ключа платы.

4.1.4. Плата коммутатора DX32 СВТИ.468351.022

При изучении и эксплуатации платы необходимо дополнительно руководствоваться схемой электрической принципиальной СВТИ.468351.022 ЭЗ.

Плата коммутатора DX32 обеспечивает коммутацию данных между входными и выходными каналами магистрали ST-BUS под управлением центрального процессора.

Плата содержит следующие основные узлы:

схему идентификатора адресов обращения к плате, собранную на схемах совпадения D21 и дешифраторе D3;

логику управления магистрали ISA D4, D8;

буферные регистры шин данных, адреса и управления магистрали ISA D5, D6;

схему выработки сигнала MEM CS16 выбора 16-разрядного цикла обмена по магистрали ISA на микросхемах D4B, D6, D7;

входные D16...D19 и выходные D12...D15 буферные схемы магистрали ST-BUS;

двухразрядный коммутатор сигналов состояния входных потоков ST-BUS D22 со схемами управления коммутатором D5, D8;

преобразователь D10 последовательных кодов канальных интервалов входных потоков ST-BUS в 8 разрядные параллельные коды и их мультиплексирование с разделением во времени на одну параллельную магистраль и обратный преобразователь- демультимплексор D11 параллельных кодов в последовательные коды и выдачу в канальных интервалах потоков ST-BUS;

матрицу пространственно-временной коммутации канальных интервалов потоков ST-BUS D1 и управляемую по магистрали ISA таблицу текущих соединений D2.

В режиме программного обмена процессора с платой коммутатора DX32 по шине ISA используется цикл обмена с памятью. Временная диаграмма цикла обмена приведена на рис. 9.

Циклы начинаются с выставления процессором адреса на линиях SA1...SA19 и LA17...LA23. Адресные разряды SA11...SA19 определяют базовый адрес платы DF800h, линии SA1...SA10 используются для адресации таблицы текущих соединений коммутатора. Нефиксируемые адресные разряды LA17...LA23 и линия SA16 используются для выработки сигнала MEM CS16, сообщающему процессору о том, что плата имеет 16-разрядную организацию шины данных. Сигнал MEM CS16 вырабатывается при выставлении процессором на линиях SA16, LA17...LA23 кода 0Dh. Распределение адресного пространства платы приведено в табл. 6.

Таблица 6

Начальный адрес	Тип цикла обращения	Выбираемый узел на плате
0DF800h	Чтение/запись	Таблица соединений D2
0DF8XXh	Запись	Триггер управления D5 коммутатором сигналов состояния входных потоков ST-BUS
0DF8XXh	Чтение	Коммутатор сигналов состояния входных потоков ST-BUS D22

В случае выставления на адресных линиях магистрали ISA базового адреса платы 0DF800h дешифратор D3 вырабатывает сигнал CS9080, открывающий доступ процессора к таблице соединений матрицы коммутации. Матрица с таблицей соединений построены на микросхемах MT9080AP, работающих совместно с входной и выходной схемами сопряжения матрицы коммутации с потоками ST-BUS типа MT9580AP. Оба типа микросхем выпускаются корпорацией MITEL Semiconductor. Подробные справочные данные о микросхемах MT9080,

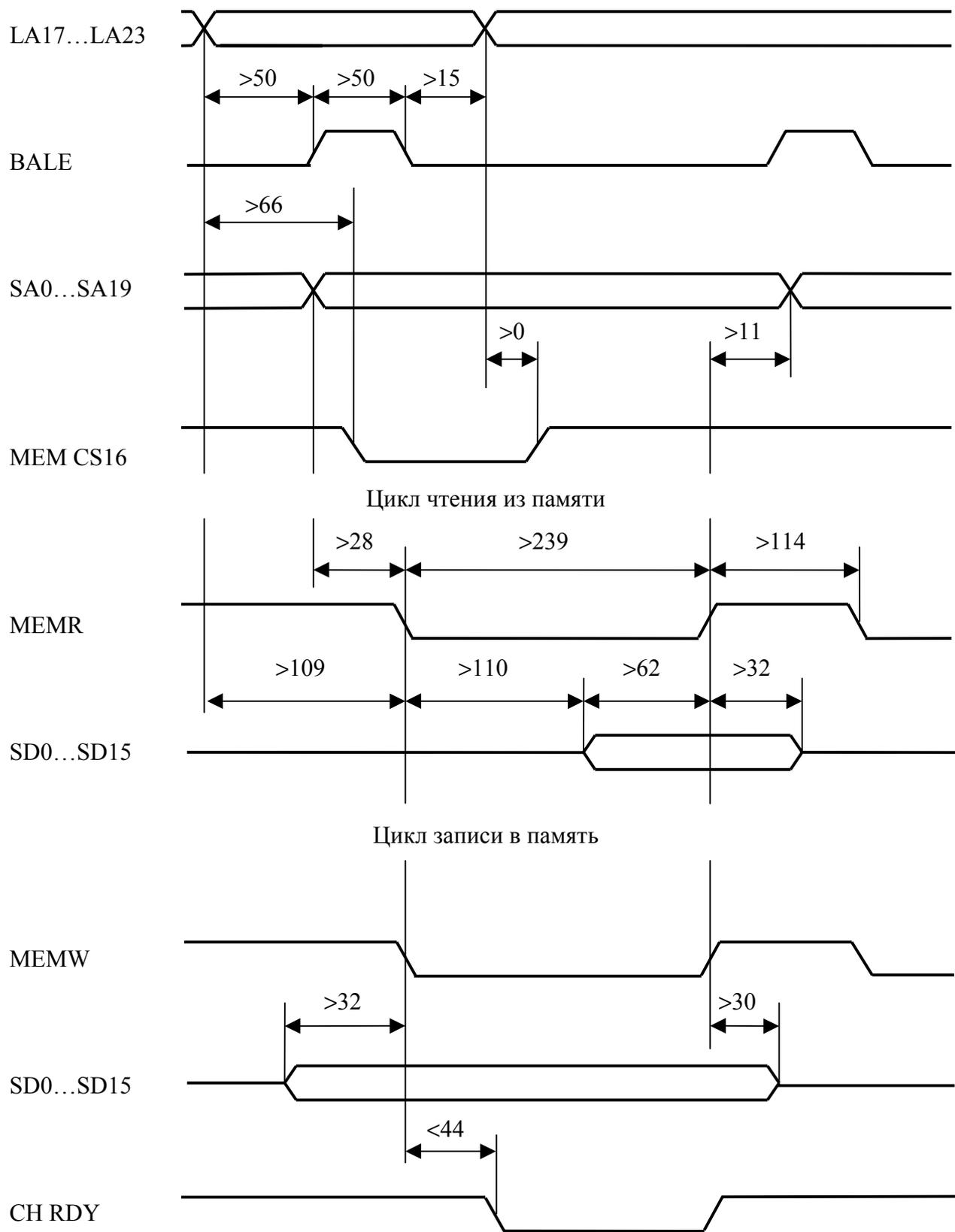


Рис. 9. Временная диаграмма обмена процессора с памятью по шине ISA
(все временные интервалы в наносекундах)

MT9085, временные диаграммы их работы содержатся в [1]. Ниже приведены общие сведения об этих микросхемах, необходимые для понимания работы платы коммутатора DX32.

Микросхема MT9080AP представляет собой перестраиваемый модуль памяти, используемый в качестве основного блока для построения цифровых коммутационных матриц большого размера. Она может быть включена или как память данных и работать в качестве модуля обмена временными интервалами, или как память соединений для выполнения функций таблицы коммутации под управлением центрального процессора. Структура ИС MT9080AP показана на рис. 10. Схема содержит статическое двухпортовое ОЗУ с организацией 2048×16, 11-разрядный счетчик адреса, схему установки счетчика, мультиплексор адреса, схему контроля и микропроцессорный интерфейс управления. Схема имеет отдельные 16-разрядные входную D0i/D15i и выходную D0o/D15o шины данных, 16-разрядную шину адреса A0/A15 и микропроцессорную шину управления.

Микросхема MT9080AP может быть запрограммирована для работы в 8 режимах, необходимых для реализации различных коммутационных функций. Для построения коммутатора на 1024 канала в плате DX32 используются два прибора MT9080. Один из них работает в режиме памяти данных, а другой - в режиме памяти соединений. Задание режимов работы схемы осуществляется управлением входами MX (вывод 37), MY (вывод 38), MZ (вывод 39) в соответствии с табл. 7.

Таблица 7

№№	MX	MY	MZ	Режим	Сокращение
1	0	0	0	Память данных-1	ПД-1
2	0	0	1	Память данных-2	ПД-2
3	0	1	0	Память соединений-1	ПС-1
4	0	1	1	Память соединений-2	ПС-2
5	1	0	0	Счетчик	СЧ
6	1	0	1	Внешний режим	ВнешР
7	1	1	0	Сдвиговый регистр	СдР
8	1	1	1	Память данных-3	ПД-3

Режим ПД-1 предназначен для построения матриц коммутации размером 32×32. В этом режиме информация, поступающая по входной шине данных Di0...Di15 (выводы 2...5,7...10,12...15,17...20 соответственно), тактируется на входе схемы и записывается в ОЗУ по адресам, вырабатываемым внутренним счетчиком. Информация, выдаваемая схемой по



Рис. 10. Структурная схема ИС МТ9080

выходной шине данных Do0...Do15 (выводы 65...68, 70...73, 75...78, 80...83 соответственно), считывается из ОЗУ по другому порту из ячеек с адресами, принимаемыми по шине адреса A0...A15 (выводы 46...61).

Временная диаграмма чтения и записи иллюстрируется рис. 11. Работа схемы синхронизируется тактовыми импульсами СК (вывод 22) и кадровым импульсом FP (вывод 27), обеспечивающим установку адресного счетчика в начальное состояние. Первая половина каждого тактового интервала используется для предустановки внутренней шины. Данные защелкиваются на входе и выходе прибора по возрастающему фронту тактового импульса. Для правильной работы прибора в режиме ПД-1 необходимы 2048 тактовых импульса в одном кадре, определяемом кадровым импульсом. Следовательно, для переключения 64 кбит/с звуковых каналов потоков E1, тактовая частота должна быть равна 16,384 Мбит/с при частоте кадровых импульсов 8 кГц.

Адрес, поступающий по адресной шине, запоминается по первому положительному фронту тактового импульса в канальном интервале. Выбранные по этому адресу ОЗУ данные выдаются на выходную шину по первому положительному фронту тактового импульса в следующем канальном интервале.

Входная информация защелкивается на входе схемы по последнему возрастающему фронту импульса СК канального интервала и записывается в ОЗУ по адресу, выработанному внутренним счетчиком, возрастающим фронтом следующего импульса.

В режиме ПД-1 предусмотрена возможность выдачи на выходную магистраль как информации, выбранной из ОЗУ по соответствующему данному выходному каналу адресу, так и значения самого адреса (режим выдачи сообщений). Переключение в режим выдачи сообщений производится индивидуально для каждого выходного канала с помощью сигнала ME (вывод 36). При высоком уровне сигнала на входе ME на выход Do0...Do15 поступает информация, принятая по шине адреса A0...A15. Когда на входе ME присутствует низкий уровень сигнала, на выход поступает информация, считанная из ОЗУ.

Режим памяти соединений-1 предназначен для построения управляемой от микропроцессора таблицы текущих соединений коммутационной матрицы. В этом режиме входная шина данных Di0...Di15 является двунаправленной и обеспечивается полный доступ к ОЗУ управляющего микропроцессора. Запись и считывание данных в/из память/памяти осуществляется по линиям Di0...Di15 по адресам, выставляемым микропроцессором на шине адреса A0...A15, с помощью сигналов интерфейса управления:

/CS (вывод 28) - выбор кристалла для режима обмена с процессором (активный уровень низкий);

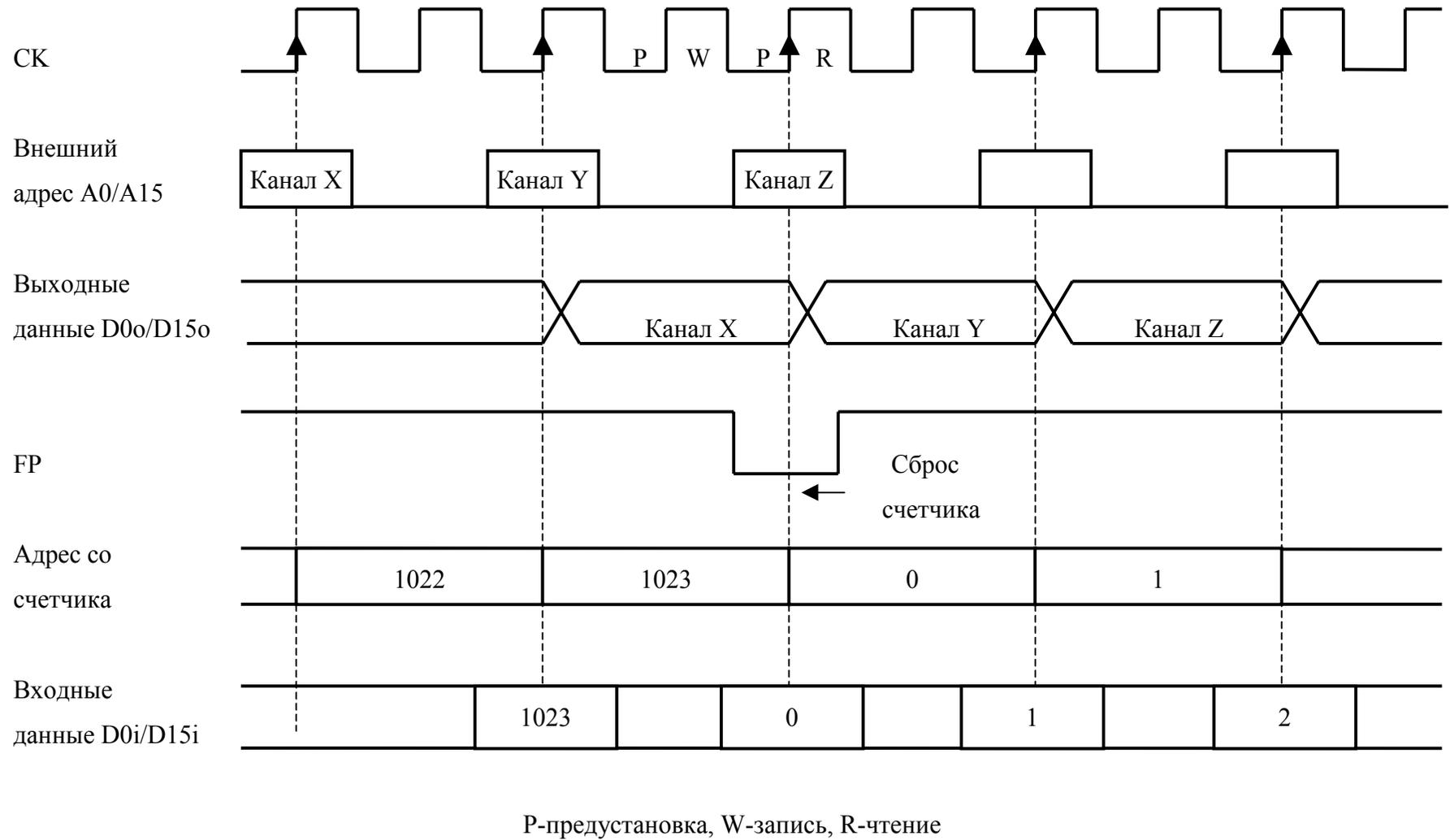


Рис. 11. Временная диаграмма чтения и записи информации в ИС МТ9080

R/W (вывод 30) - задает операцию на магистрали данных как цикл чтения ($R/W = 1$) или записи ($R/W = 0$);

/DS (вывод 29) – строб данных, указывает схеме что во время операции записи на магистрали данных находятся правильные данные, или что схема должна выдать правильные данные на магистраль данных во время операции чтения (активный уровень высокий);

/DTA (вывод 31) – подтверждение передачи данных, выдается микросхемой для подтверждения завершения передачи данных, при чтении из схемы низкий уровень сигнала указывает, что схема выдала на магистраль правильные данные, при записи низкий уровень сигнала указывает, что схема завершила прием данных с магистрали (выход с открытым коллектором);

/CD (вывод 62) – сигнал обнаружения изменения данных в памяти, выдается микросхемой при изменении содержимого памяти от одного кадра до другого (активный уровень низкий). Изменения в памяти в результате записи новых данных управляющим микропроцессором не вызывают выдачи сигнала ошибки;

/ODE (вывод 35) – вход разрешения выдачи информации на выход микросхемы, при низком уровне на этом входе выходные каскады линий Do0...Do15 переходят в режим высокого выходного сопротивления.

Данные, поступающие на выходную шину Do0...Do15, выбираются из ОЗУ по адресам, последовательно вырабатываемым внутренним счетчиком. Счетчик изменяет свое состояние по каждому второму тактовому импульсу СК и сбрасывается кадровым импульсом FR. Частота тактовых импульсов должна быть в два раза выше скорости выдачи данных. Временная диаграмма, показывающая соотношение между выходной информацией и тактовыми импульсами, представлена на рис. 12. При частоте синхронизации 16,384 МГц, максимальное количество адресов, которое может быть выработано счетчиком за время 8 кГц кадра, составляет 1024.

Микросхема MT9085 предназначена для преобразование последовательных кодов канальных интервалов потоков ST-BUS в 8 разрядные параллельные коды и их мультиплексирование с разделением во времени на одну выходную параллельную магистраль или обратное демultipлексирование параллельных кодов с входной магистрали, их преобразование в последовательные коды и выдачу в канальных интервалах потоков ST-BUS. Одна микросхема обеспечивает преобразование 32 потоков и полностью обеспечивает сопряжение магистрали ST-BUS с входной шиной данных модуля коммутатора временных интервалов MT9080. Второй прибор может быть запрограммирован для преобразования формата выходной шины данных MT9080 в последовательные потоки ST-BUS. Микросхема

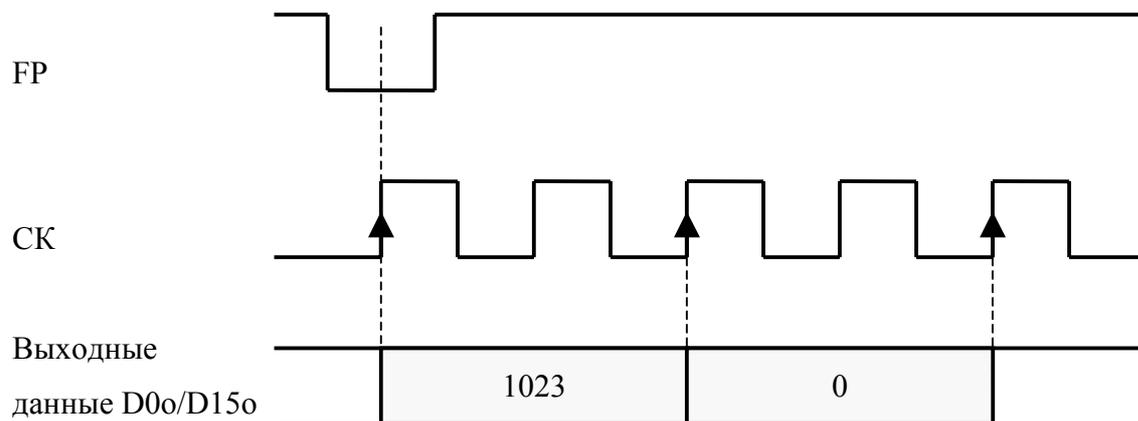


Рис. 12. Временные соотношения между выходными данными и тактовыми импульсами ИС МТ9080 в режиме памяти соединений

может работать с последовательными потоками 2,048 Мбит/с или 4,096 Мбит/с и вырабатывает все необходимые кадровые синхросигналы для работы коммутатора МТ9080.

Структурная схема ИС МТ9085 приведена на рис. 13. Схема включает в себя блок сдвиговых регистров, дешифратор адресов, генератор тактовых импульсов и узел управления.

Направление преобразования определяется сигналом управления режимом МСА (вывод 44). При низком уровне сигнала МСА прибор выполняет последовательно – параллельное преобразование данных, принимаемых в формате ST-BUS (рис. 14) по последовательным входам S0...S31 (выводы 2...9,11...16,19...26,28...33,36...39 соответственно). Параллельные данные выдаются по выходам P0...P7 (выводы 60...67). Заданием высокого уровня сигнала на входе МСА микросхема переводится в режим параллельно-последовательного преобразования с изменением направления передачи данных на шинах P0...P7 и S0...S31 на противоположное. Принцип преобразования и мультиплексирования данных ИС МТ9095 иллюстрируется на рис. 15.

Основные функции пространственно-временного переключения каналов в плате коммутатора DX32 выполняют две микросхемы МТ9080. Первая из них D1 работает в режиме памяти данных и является коммутационной матрицей, а вторая микросхема D2, включенная в режиме памяти соединений, служит в качестве таблицы коммутации. Процессор с помощью шин адреса aa1...aa10 и данных da0...da13 по заданной программе заполняет таблицу коммутации, содержимое которой циклически считывается на шину данных ca0...ca12 по адресам, непрерывно вырабатываемым встроенным в микросхему счетчиком. Моменты времени, в которые коды из таблицы коммутации приходят на микросхему D1, определяют временные интервалы на ее выходной шине ро0...ро7, в которые подставляются данные из временных интервалов на входной шине pi0...pi7, задаваемых адресами, принятыми по шине ca0...ca12.

Функции последовательно-параллельного преобразования обеспечиваются прибором D10 МТ9085, включенном для работы с 2,048 Мбит/с потоками заданием на вход 2/4S (вывод 43) сигнала низкого уровня. На вход МСВ (вывод 59) микросхемы D10 подан сигнал высокого уровня при котором данные на выходах P0...P7 присутствуют в течение полного канального интервала (двух тактовых интервалов C16). Это необходимо для того, чтобы обеспечить требуемые для микросхемы D1 МТ9080 времена предустановки и удержания информации на входной шине данных.

Микросхема D11 МТ9085 выполняет функции параллельно – последовательного преобразователя. Вход МСВ этого прибора подключен к корпусу, что позволяет принимать

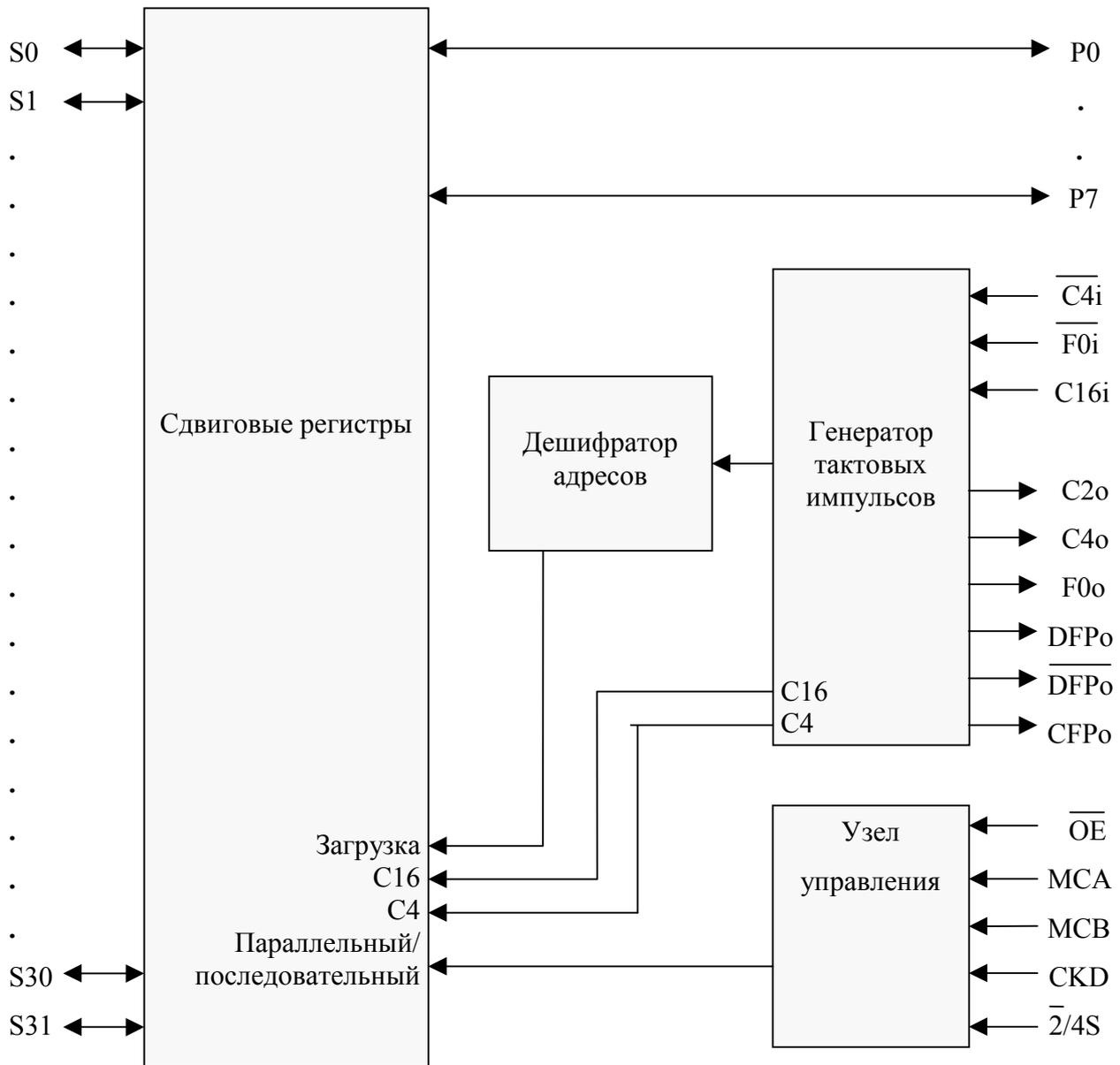


Рис. 13. Структурная схема ИС МТ9085

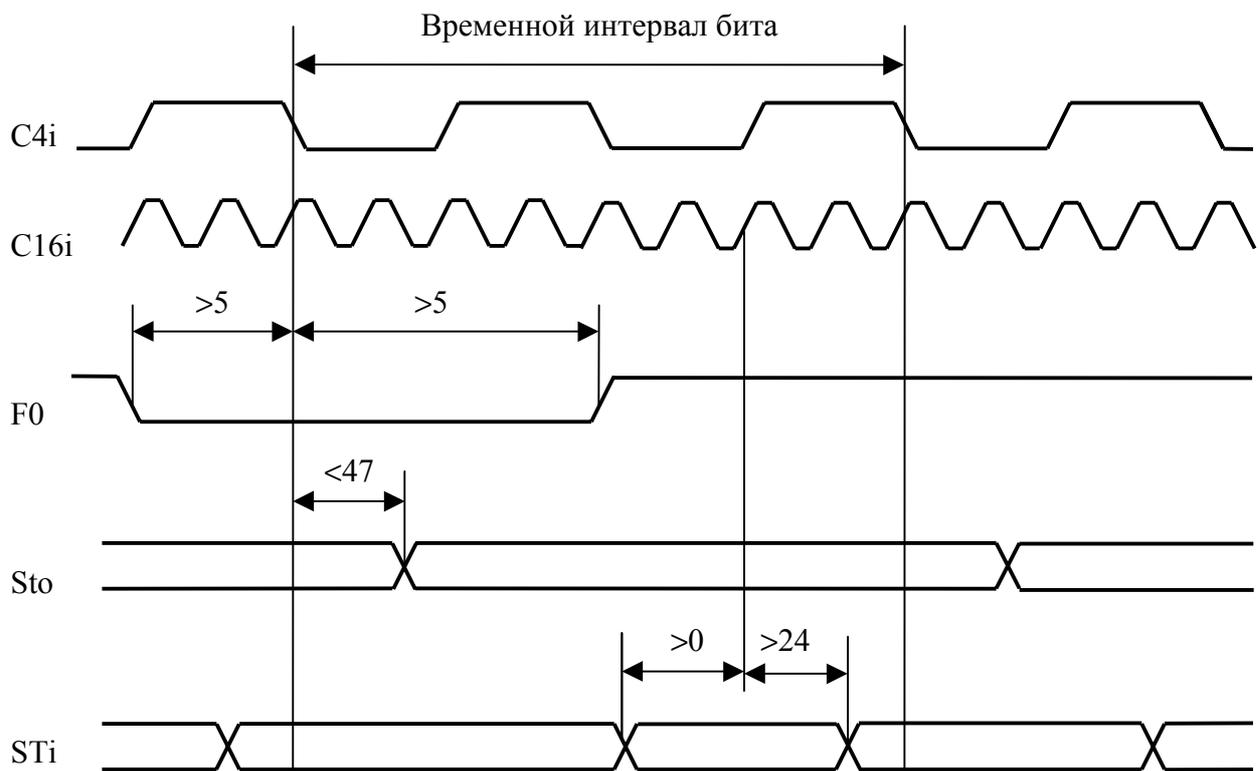


Рис. 14. Временная диаграмма интерфейса ST-BUS микросхемы MT9085
(все временные интервалы в наносекундах)

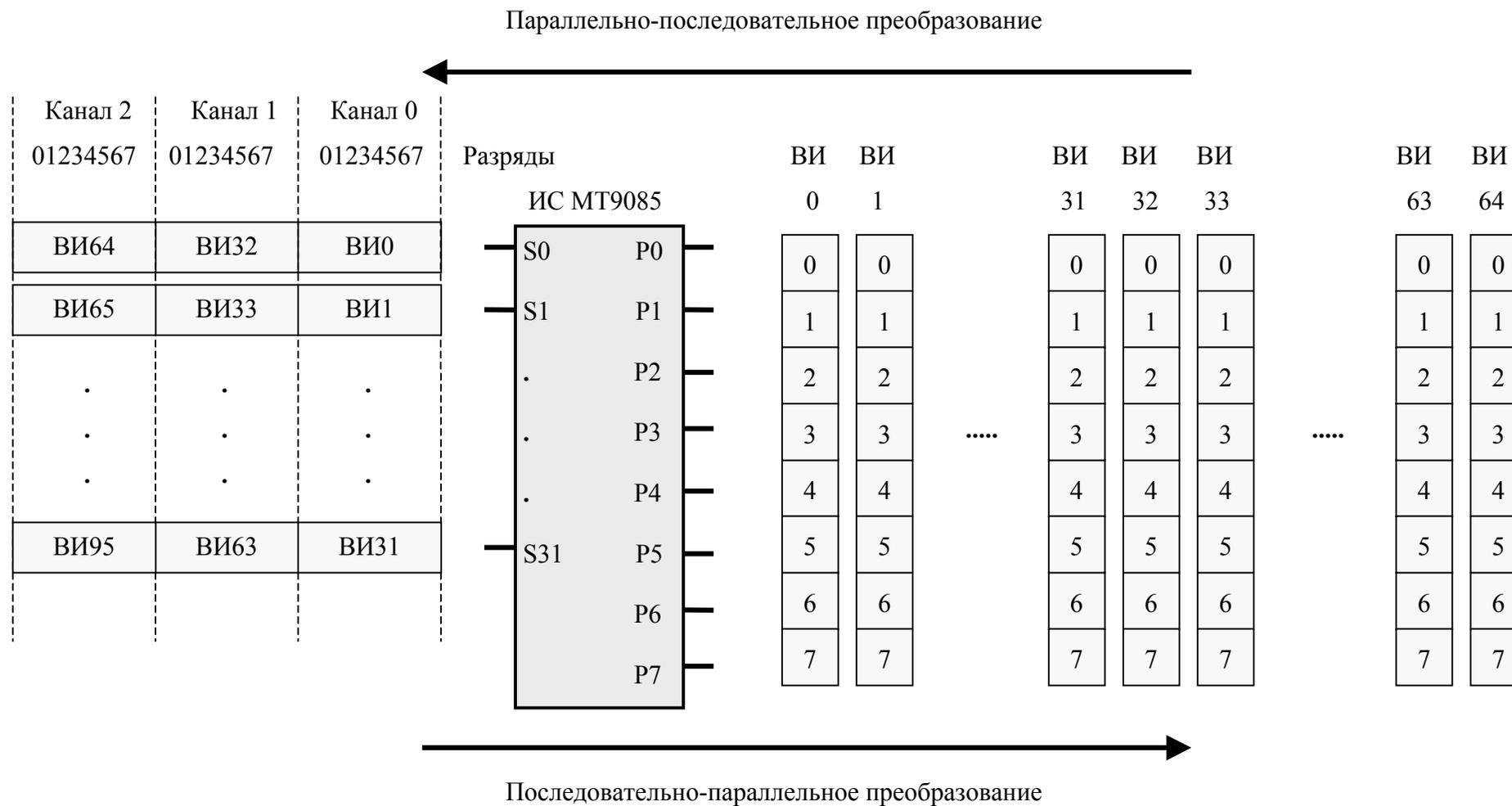


Рис. 15. Принцип преобразования форматов и мультиплексирования данных в ИС МТ9085

параллельные данные с выхода микросхемы D1 по спадающему фронту тактового сигнала C16.

Синхронизация работы платы осуществляется синхросигналами C4, C2 и F0, поступающими на разъем XR8. Тактовый сигнал C16 вырабатывается на самой плате коммутатора DX32 генератором, собранным на микросхеме D23 MC74HCT4046AN. Подстройка фазы и частоты генератора производится синхросигналом C4. Связанные по фазе синхросигналы C16, C4 и F0 тактируют работу микросхем преобразователей форматов данных D10, D11. Микросхема D10, в свою очередь, вырабатывает кадровые синхросигналы DFPo и CFPo, необходимые для правильного функционирования микросхем D1, D2.

Коммутационная плата выполнена по технологии двухсторонних печатных плат.

Плата коммутатора DX32 имеет следующие разъемы:

XR1 – ламельный печатный разъем ISA для подключения к системной магистрали;

XR2 – штыревой соединитель типа PLD-26 для приема входных потоков ST-BUS STi0...STi11;

XR3 – штыревой соединитель типа PLD-26 для выдачи выходных потоков ST-BUS STo0...STo11;

XR4 – штыревой соединитель типа PLD-10 для обмена данными потоков ST12;

XR5 – штыревой соединитель типа PLD-10 для обмена данными потоков ST13;

XR6 – штыревой соединитель типа PLD-10 для обмена данными потоков ST14;

XR7 – штыревой соединитель типа PLD-10 для обмена данными потоков ST15;

XR8 - штыревой соединитель типа PLD-10 для приема импульсов синхронизации;

XR9 - штыревой соединитель типа PLD-10 для приема сигналов управления буферными схемами магистрали ST-BUS;

XR10 – штыревой соединитель типа PLD-34 для приема входных потоков ST-BUS STi16...STi31;

XR11 – штыревой соединитель типа PLD-34 для выдачи выходных потоков ST-BUS Sto16...Sto31.

4.1.5. Плата процессора цифровой обработки сигналов DSP СВТИ.467444.016

При изучении и эксплуатации платы необходимо дополнительно руководствоваться схемой электрической принципиальной СВТИ.467444.016 ЭЗ.

Плата DSP выполняет цифровую обработку сигналов для реализации в коммутаторе способов линейной сигнализации, использующих тональные сигналы разных частот.

Плата содержит следующие основные узлы:

буферные схемы шин данных, адреса и управления магистрали ISA D2, D3, D15, D16;
схемы распознавания адресов обращения к плате, построенной на схемах сравнения D1, D2 и логических элементах D4...D8;
логику формирования управляющих сигналов магистрали ISA D4, D9...D11;
двухпортовое буферное ОЗУ D13, D14 емкостью 256x16 слов для обмена информацией с управляющим процессором по шине ISA;
регистр D12 косвенной адресации буферного ОЗУ и управления состоянием сигнального процессора;
сигнальный процессор D18;
внешнее ОЗУ сигнального процессора D20, D21 с организацией 128Kx16;
буферные приемо-передатчики D41...D43 внешних магистралей адреса и данных сигнального процессора;
логику разделения пространства внешней памяти сигнального процессора на основе мультиплексора D19, триггеров D17, D27, дешифратора D29 и сдвиговых регистров D40;
схему параллельного доступа сигнального процессора к последовательной магистрали ST-BUS D45;
схему сопряжения сигнального процессора с последовательным портом RS-232 на элементах D22, C19, C20, R3, R7, R12;
кварцевого генератора D50.

Программный обмен управляющего процессора с платой цифровой обработки сигналов по шине ISA осуществляется в циклах обмена с устройством ввода/вывода в соответствии с временной диаграммой, приведенной на рис. 3. Управляющий процессор имеет доступ к двухпортовому буферному ОЗУ со стороны порта L и регистру косвенной адресации буферного ОЗУ и управлению режимом работы сигнального процессора. Адрес выбираемой для обмена ячейки ОЗУ состоит из двух частей. Младшие разряды адреса AL0...AL3 выставляются процессором непосредственно на линиях SA1...SA4 шины адреса, а старшие разряды AL4...AL7 поступают с выхода регистра D12. В связи с этим, обращение к ОЗУ производится за два цикла. В первом цикле процессор выставляет на линиях SA6...SA12 базовый адрес платы, задаваемый с помощью джамперов JP7...JP1 соответственно, и установкой разряда SA5 в низкий уровень производит запись значения разрядов AL4...AL7 с линий DS0...DS3 шины данных в регистр D12. Во втором цикле переводом линии SA5 в высокий уровень выполняется собственно обмен с ОЗУ.

Кроме адресации буферного ОЗУ, регистр D12 формирует сигнал или аппаратного по включению питания или программного сброса RESET сигнального процессора (вывод 19),

хранит заданный управляющим процессором режим МР/МС работы сигнального процессора (вывод 15) и осуществляет запись прерывания в триггер D17 по команде центрального процессора (вывод 16).

Распределение адресного пространства платы, используемое при ее работе в составе ЦКУ, приведено в табл. 8.

Таблица 8

Начальный адрес	Тип цикла обращения	Выбираемый узел на плате
0180h	Запись	Регистр косвенной адресации буферного ОЗУ и задания режимов работы сигнального процессора D12
01A0h	Чтение/запись	Порт L двухпортового буферного ОЗУ 256x16 слов

В случае совпадения адресных разрядов SA6...SA12 с кодом платы DSP, заданном переключками JP7...JP1, низком уровне шинного сигнала AEN (разрешение адреса) и наличии какого либо из сигналов IOR или IOW на выходе схем сравнения D1, D2 появляются высокие уровни, разрешающие работу схем совпадения D4...D6. На выходе микросхемы D4 (вывод 1) выставляется сигнал низкого уровня I/O CS16 для сообщения процессору о том, что плата имеет 16-разрядную организацию шины данных. Активный низкий уровень, появляющийся на выходе 8 микросхемы D6 при цикле чтения или записи, открывает буферные схемы шины данных D15, D16 и разрешает при задании SA5=0 (адрес 180h) формирование импульса занесения данных в регистр D12 в цикле записи. Если SA5=0 на выходе 6 микросхемы D6 присутствует высокий уровень, который принудительно устанавливает выход 4 R-S триггера, собранного на элементах микросхемы D9, в низкий уровень, сбрасывающий в свою очередь сдвиговый регистр на микросхеме D10 и тем самым блокирующий обращение к порту L ОЗУ D13, D14 по цепочке логических элементов D11, D9 (высокий уровень сигнала CSL на входах 2 микросхем D13, D14). Микросхема D5 (вывод 8) обеспечивает при SA5=0 поддержание высокого уровня шинного сигнала I/O CH RDY готовность канала. При задании SA5=1 (начальный адрес 1A0h) выполняется цикл обмена управляющего процессора с портом L двухпортового ОЗУ.

Порт R двухпортового ОЗУ D13, D14 доступен для обмена сигнальному процессору D18. В качестве сигнального процессора используется однокристалльный сигнальный процессор TMS320C25 фирмы Texas Instruments. Подробное описание этого прибора

приведено в [3]. В настоящем описании приводятся сведения о микросхеме TMS320C25 в объеме, достаточном для объяснения работы платы DSP.

Режим работы сигнального процессора, распределение доступного для него пространства памяти и программ зависят от стадии работы платы. После включения питания по шине ISA на плату DSP поступает сигнал сброса RESETDAU (предполагается, что подача напряжения питания на плату и управляющий процессор осуществляется одновременно). Этот сигнал положительной полярности инвертируется на инверторе D7 и сбрасывает регистр D12, с выхода 19 которого сигнал сброса RESET подается на все узлы платы. Во время действия сигнала RESET в сигнальном процессоре выполняются следующие действия:

- биты регистров конфигурации оперативной памяти устанавливаются таким образом, что вся внутрикристалльная память становится памятью данных;

- программный счетчик (PC) сбрасывается в нулевое состояние и на линиях шины адреса A15...A0 выставляются низкие уровни;

 - линии шины данных D15...D0 устанавливаются в высокоимпедансное состояние;

 - все сигналы, управляющие распределением памяти и типом цикла обмена, PS, DS, IS, R/W, STRB и BR, пока действует RESET, находятся в высокоимпедансном состоянии;

 - все прерывания запрещаются, регистр флага прерываний устанавливается в нулевое состояние;

 - регистр глобальной памяти (GREG) очищается и вся память становится локальной;

 - регистр повторений циклов (RPTC) очищается.

Триггер загрузки D17 устанавливается сигналом RESET в единичное состояние, при котором сигнал BOOT принимает высокий уровень, а триггеры D27 устанавливаются в единичное состояние инвертированным сигналом STRB. В результате, на управляющих входах A0, A1 (выводы 14, 2 соответственно), устанавливается код 11b.

Следует отметить, что во время действия сигнала RESET, высокий уровень сигнала на выходе D27/5 через элемент D26 (вывод 6, сигнал RPREQ) принудительно устанавливает на выходе 1 элемента D9 низкий, а на выходе 10 высокий уровень сигнала CSR, блокируя обращения к двухпортовому ОЗУ со стороны порта R и разрешая формирование управляющих сигналов для работы с ОЗУ по порту L. Это позволяет управляющему процессору, удерживая прибор TMS320C25 в состоянии сброса, предварительно загрузить в буферное двухпортовое ОЗУ программу-загрузчик и рабочую программу сигнального процессора для последующей загрузки в его память программ.

После снятия управляющим процессором в регистре D12 сигнала RESET и установки высокого уровня сигнала MP/MS, соответствующего микропроцессорному режиму работы,

сигнальный процессор начинает выполнять программу с оператора, хранящегося в нулевой ячейке внешней памяти программ, то есть выставляет нулевой адрес на шине адреса и вырабатывает сигналы обращения к памяти программ PS, указателя цикла обмена по внешней шине STRB с активным низким уровнем, и сигнал чтения R/W с активным высоким уровнем.

Так как на управляющих входах коммутатора D19 после снятия сигнала сброса присутствует высокие уровни, то на его выходы проходит низкий уровень сигнала PS, который с выхода 9 (сигнал BUFOE) открывает шинные буферы D41...D43, а с выхода 7 удерживает низким сигнал RDY готовности внешнего устройства для обмена на входе READY сигнального процессора D18. Это необходимо для организации корректной временной диаграммы работы микросхем D13, D14 650PY1. Сигнальный процессор в течение времени, пока его вход READY удерживается низким, находится в состоянии ожидания. Одновременно низкий уровень сигнала RDY с коммутатора D19 (вывод 7) переписывается первым нарастающим фронтом тактовой частоты CLK2L в D-триггер D27, выход 5 которого разрешает работу сдвигового регистра на элементе D40, формирующего временную диаграмму обмена сигнального процессора с буферной памятью. На информационный вход DI (вывод 7) сдвигового регистра при отсутствии обращений к буферной памяти со стороны управляющего процессора поступает логическая 1 с R-S триггера D9. Дойдя до выхода D2 (вывод 3) эта логическая 1, собранная с инверсией разряда A9 адресной шины на схеме совпадения D4 (вывод 13), установит низкий уровень сигнала ENDOK. В результате на входе D (вывод 12) триггера D27 появится низкий уровень, который следующим фронтом импульса CLK2L запишется в триггер. На управляющих входах коммутатора D19 появится комбинация 01 и сигнал RDY перейдет в состояние высокого уровня. Обнаружив сигнал готовности внешнего устройства к обмену, сигнальный процессор считывает и выполнит команду, записанную в ячейку 00h буферной памяти, то есть начнется стадия инициализации сигнального процессора и загрузки в его внутрикристальную память рабочей программы.

Рабочая программа должна записываться в блок B0 внутрикристальной памяти, который инструкцией CNFP (здесь и далее приводится мнемоническое обозначение машинных команд процессора TMS320C25) может быть сконфигурирован как память программ с адресами от 0FF00h (65280) до 0FFFF (65535).

После окончания процесса загрузки сигнальный процессор переводится в стадию выполнения рабочей программы. Это осуществляется, во первых, при помощи вышеупомянутого оператора CNFP, после которого пространство внутренней и внешней памяти прибора TMS320C25 распределяется между программной памятью и памятью данных так, как показано на рис. 16. То есть, после выполнения оператора CNFP процессор начнет

КОММУТАТОР ЦИФРОВЫХ КАНАЛОВ
Руководство по технической эксплуатации

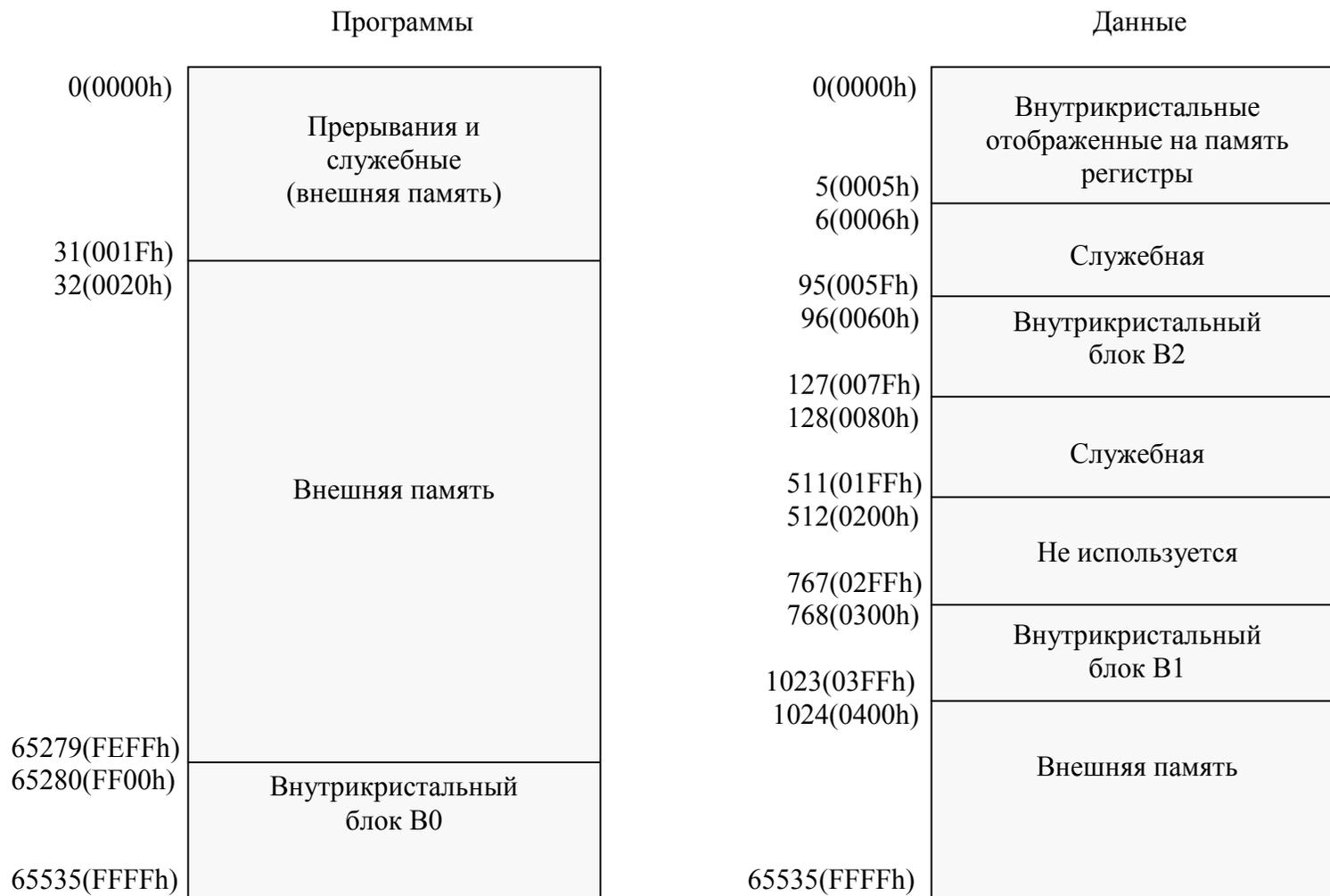


Рис. 16. Распределение пространства внутренней и внешней памяти, памяти программ и памяти данных прибора TMS320C25 после выполнения команды CNFP для микропроцессорного режима.

отрабатывать инструкции, хранящиеся или в блоке В0 внутрикристалльной памяти, или во внешнем ОЗУ, построенном на микросхемах D20, D21.

Во-вторых, необходимо при помощи какого-либо оператора, например OUT, вырабатывающего сигнал IS обращения к портам ввода-вывода, сбросить триггер состояния загрузки D17. После сброса этого триггера на входе А0 (вывод 14) коммутатора D19 установится низкий уровень, отключающий сигнал PS и переключающий коммутатор на работу с сигналом захвата внешней шины BR.

Сигнал BR вырабатывается сигнальным процессором при обращении к так называемой глобальной памяти данных. Режим разделения памяти на локальную и глобальную предназначен для построения мультипроцессорных систем, в которых каждый процессор имеет доступную только ему локальную память и доступную для всех входящих в систему процессоров общую глобальную память. На плате DSP режим локальной и глобальной памяти применен для сохранения доступа TMS320C25 к буферной памяти D13, D14 данных после завершения процесса загрузки. Поэтому, в третьих, необходимо записать в регистр глобальной памяти GREG, содержимое которого определяет размер и адреса глобальной памяти, код FC. При этом локальная память данных будет иметь объем 64512 слов с адресами от 0h до 0FBFFh, а глобальная память объем 1024 слова с адресами от 0FC00h до 0FFFFh. Регистр GREG имеет адрес 5h в поле памяти данных.

При обращении сигнального процессора к буферной памяти сигнал BR переходит в низкий уровень и с выхода 9 коммутатора D19 открывает буферные схемы шин адреса и данных D41...D43, а инвертированный сигнал закрывает микросхемы ОЗУ D20, D21. Низкий уровень сигнала RDY с выхода 7 коммутатора обеспечивает требуемую временную диаграмму цикла обращения к медленной буферной памяти. При обращении к локальной памяти D20, D21, сигнал BR остается высоким, низкий уровень на входах OE (вывод 21) открывает ОЗУ, а высокий уровень сигнала RDY сразу сообщает процессору TMS320C25 о готовности быстрой оперативной памяти к обмену.

Оперативное ОЗУ разделено на программную память и память данных с помощью логики на элементах D11, управляемой сигналами DS и PS, а также подачей сигнала DS на младший разряд шины адреса А0, то есть разделение на два пространства осуществляется путем деления на ячейки памяти с четными и нечетными адресами. Такой способ разделения ОЗУ обеспечивает независимость рабочих программ от объема используемых микросхем памяти D20, D21 (естественно, если этого объема достаточно для рабочих программ ОЗУ).

При работе в составе коммутатора цифровых каналов плата DSP обрабатывает данные, поступающие на плату в формате стандарта ST-BUS. Для параллельного доступа сигнального

процессора к последовательной магистрали ST-BUS применена микросхема корпорации MITEL Semiconductor MT8920BE. Подробное описание микросхемы MT8920BE приведено в [1, 2], а краткие сведения о ней, необходимые для изучения платы DSP приведены в подразделе 4.1.2.

Микросхема ИС MT8920 включена на плате DSP в режиме периферийного асинхронного устройства. Задание режима работы осуществляется подачей сигнала высокого уровня на вход MMS (вывод 27). Вход MMS используется также для сброса регистров управления и прерываний схемы по сигналу сброса PRES сигнального процессора.

В этом режиме все три двухпортовых ОЗУ (Tx0, Tx1, и Rx0) доступны для процессора TMS320C25, который может считывать информацию из ОЗУ приема и записывать в ОЗУ передачи по вторым портам по своей программе независимо от процессов, происходящих на портах со стороны магистрали ST-BUS. В режиме периферийного асинхронного устройства полностью доступны также все дополнительные регистры управления и прерываний ИС.

Адресация ОЗУ и регистров управления и прерывания микросхемы MT8920 осуществляется непосредственно младшими разрядами AR0...AR5 внешней шины адреса TMS320C25.

Распределение пространства памяти на плате DSP между внешними устройствами, доступными сигнальному процессору, при содержимом регистра GREG, равном FC, приведено в табл. 9.

Таблица 9

Диапазон адресов	Область памяти	Тип цикла обращения	Выбираемый узел на плате
400h - FBFF	Локальная	Чтение/запись	ОЗУ D20, D21
FD40h	Глобальная	Чтение/запись	Сброс прерывания INTPC
FE00h - FEFF	Глобальная	Чтение/запись	Порт R двухпортового буферного ОЗУ 256x16 слов
FF00h - FF5F	Глобальная	Чтение/запись	Схема параллельного доступа к магистрали ST-BUS D45

Формирование сигналов выбора внешних устройств сигнального процессора производится на дешифраторе D29.

На плате DSP предусмотрены различные возможности для выработки сигналов прерываний и их обработки. В сигнальном процессоре используются все три входа аппаратных прерываний. На вход INT0 (вывод 20) подается тактовая частота границы кадра магистрали

ST-BUS, что дает возможность организовать обработку информации в реальном масштабе времени синхронно с ее поступлением.

На вход INT1 подается сигнал прерывания или от схемы параллельного доступа D45 или от управляющего процессора. Сигнал прерывания от микросхемы D45, возникающий на ее выходе IRQ (вывод 25) при запрограммированных в схеме условиях прерывания, подается на схему ИЛИ D5 (вывод 2), выход которой управляет установочным входом S D-триггера D48. Появляющийся высокий уровень сигнала на входе S разрешает нормальную установку триггера по входу R и на выходе 9 вырабатывается активный низкий уровень сигнала INT1.

Запрос на обработку по прерыванию INT1 может быть выставлен управляющим процессором записью единицы по цепи D6 в регистр состояния D12. Положительный фронт на выходе Q6 (вывод 16) регистра записывает логический ноль со входа D в триггер D17, с выхода которого низкий уровень сигнала подается на вывод 5 схемы ИЛИ D5. Сброс прерывания INT1 от управляющего процессора производится по команде обращения сигнального процессора TMS320C25 к ячейке памяти данных с адресом FD40. При чтении или записи по этому адресу на дешифраторе D29 вырабатывается отрицательный импульс, устанавливающий по входу S (вывод 4) триггер D17 в единичное состояние.

Вход запроса прерывания INT2 используется для работы последовательного порта RS-232.

Сигнальный процессор может считать состояние сигналов прерываний от схемы параллельного доступа IRQSTRB0 и управляющего процессора INTPC и выставить запросы на обработку прерываний к управляющему процессору. Для этого используются два регистра флагов прерываний D28. При чтении TMS320C25 из порта ввода/вывода, по управляющим сигналам, которые вырабатываются дешифратором D29, производится запись (вход C, вывод 23) значений сигналов прерываний в первый регистр и подключение его выходов к шине данных (вход EZ, вывод 2) для записи в ячейку памяти по адресу, указанному в операторе чтения.

Командой записи в порт ввода/вывода TMS320C25 заносит данные из ячейки памяти с адресом, указанным в операторе записи, во второй регистр D28, выход 18 которого с помощью установки перемычек на джамперы Jp8...Jp11 может быть подключен к одной из линий запросов прерываний шины ISA IRQ3, IRQ5, IRQ7, IRQ10 соответственно.

Сигнальный процессор работает от внешнего генератора D50, генерирующего тактовые колебания частотой 40 МГц.

Коммутационная плата выполнена по технологии многослойных печатных плат и имеет семь слоев. На наружных и трех внутренних слоях расположены сигнальные проводники, один

из внутренних слоев использован для шины питания в виде решетки, второй – для шины корпуса. Конструкция шин питания и корпуса и их расположение обеспечивают максимальную безиндуктивную взаимную емкость между ними, которая совместно с установленными на плате фильтрующими конденсаторами устраняет помехи в цепях питания и земли, возникающие при переключении логических элементов.

Плата DSP имеет следующие разъемы:

XR1 – ламельный печатный разъем для подключения к системной магистрали ISA;

XR2 – штыревой соединитель типа PLD-10 для подключения последовательного порта RS-232;

XR3 – штыревой соединитель типа PLD-10 для приема и передачи информации по магистрали ST-BUS и приема импульсов синхронизации F0, C2 и C4.

JP1...JP7 - штыревые соединители типа PLS-2 для задания базового адреса платы DSP на шине ISA;

JP8...JP11 - штыревые соединители типа PLS-2 для подключения запроса прерывания к шине ISA;

JP12 - штыревой соединитель типа PLS-2 для подключения к сигнальному процессору буферной схемы последовательного порта RS-232.

4.1.6. Плата адаптера 1 ADP1 СВТИ.468359.012

При изучении и эксплуатации платы необходимо дополнительно руководствоваться схемой электрической принципиальной СВТИ.468359.012 ЭЗ.

Плата адаптера 1 ADP1 предназначена для формирования тактовых синхропоследовательностей, необходимых для функционирования коммутатора, и сопряжения блока центрального коммутационного устройства с интерфейсными модулями ИКМ30.

Плата содержит следующие основные узлы:

центральный синхронизатор D1, D8;

буферный регистр D2;

логику выбора режима работы синхронизатора D4, VT3;

цепи формирования импульсов начальной установки на элементах D3, D4 и транзисторе VT2;

Центральный синхронизатор коммутатора построен на ИС MT9041 фирмы MITEL Semiconductor. Микросхема MT9041 представляет собой полностью цифровую схему фазовой автоподстройки частоты для канала ИКМ-30 с различными выходными синхросигналами, обеспечивающими системную синхронизацию.

Функциональная схема ИС МТ 9041 показана на рис 17. Для своей работы прибор использует тактовую частоту 20 МГц задающего кварцевого резонатора D8. Схема содержит петлю фазовой автоподстройки частоты, состоящую из фазового детектора, петлевого фильтра, управляемого цифрового генератора и делителя частоты. Интерфейсная схема на выходе цифрового генератора обеспечивает выдачу синхроимпульсов С2 с частотой повторения 2,048 МГц (вывод 13), С4 частотой 4,096 МГц (вывод 14) и кадровых импульсов F0 частотой 8 кГц (вывод 9).

Микросхема ИС МТ 9041 включена в режиме подстройки опорной частотой 8 кГц. Этот режим задается подачей соответствующих логических уровней на входы выбора опорной частоты FSEL1, FSEL2 (выводы 27, 26).

Режим выбора опорной частоты и фазовой автоподстройки работает только при подаче на управляющий вход MS (вывод 23) сигнала CTRL0 (XR1/23) с уровнем логического нуля. При подаче на этот вывод логической единицы схема генерирует все выходные сигналы самостоятельно.

В качестве опорной частоты могут быть выбраны или сигнал 8K (XR10/A23) с какого либо из модулей ИКМ, или сигнал 8KX (XR10/B32) с внешнего разъема коммутатора. Схема выбора того или иного сигнала собрана на элементах D4A, D4B и управляется потенциалом CTRL1 (XR1/17) с регистра состояния коммутатора, расположенном на плате контроллера.

Для правильной работы с сохранением заданных фазовых соотношений между выходными синхроимпульсами, микросхема МТ9041 после включения напряжения питания, должна быть приведена в исходное состояние подачей сигнала низкого уровня на вход RST (вывод 28). При включении питания, время перехода сигнала RST в высокий уровень должно быть не менее чем в пять раз больше времени установления напряжения питания. При нормальном напряжении питания, для гарантированного сброса микросхемы, длительность импульса низкого уровня на входе RST должна быть больше 60 нс.

На плате адаптера 1 ADP1 сигнал сброса микросхемы МТ9041 поступает с контакта разъема XR1/19 по цепи логических элементов D3, D4. Этот сигнал должен иницироваться в начале выполнения рабочей программы коммутатора центральным процессором записью значения нуля в разряд D2 регистра управления на плате контроллера CON. Запуск процессора производится сигналом сброса, вырабатываемом на плате центрального процессора при включении напряжения питания, или принудительным импульсом сброса, формируемым цепью на транзисторе VT2 при нажатия кнопки RESET на лицевой панели ЦКУ.

Синхроимпульсы, вырабатываемые генератором МТ9041, размножаются на буферном формирователе D2 и раздаются на все функциональные узлы коммутатора.

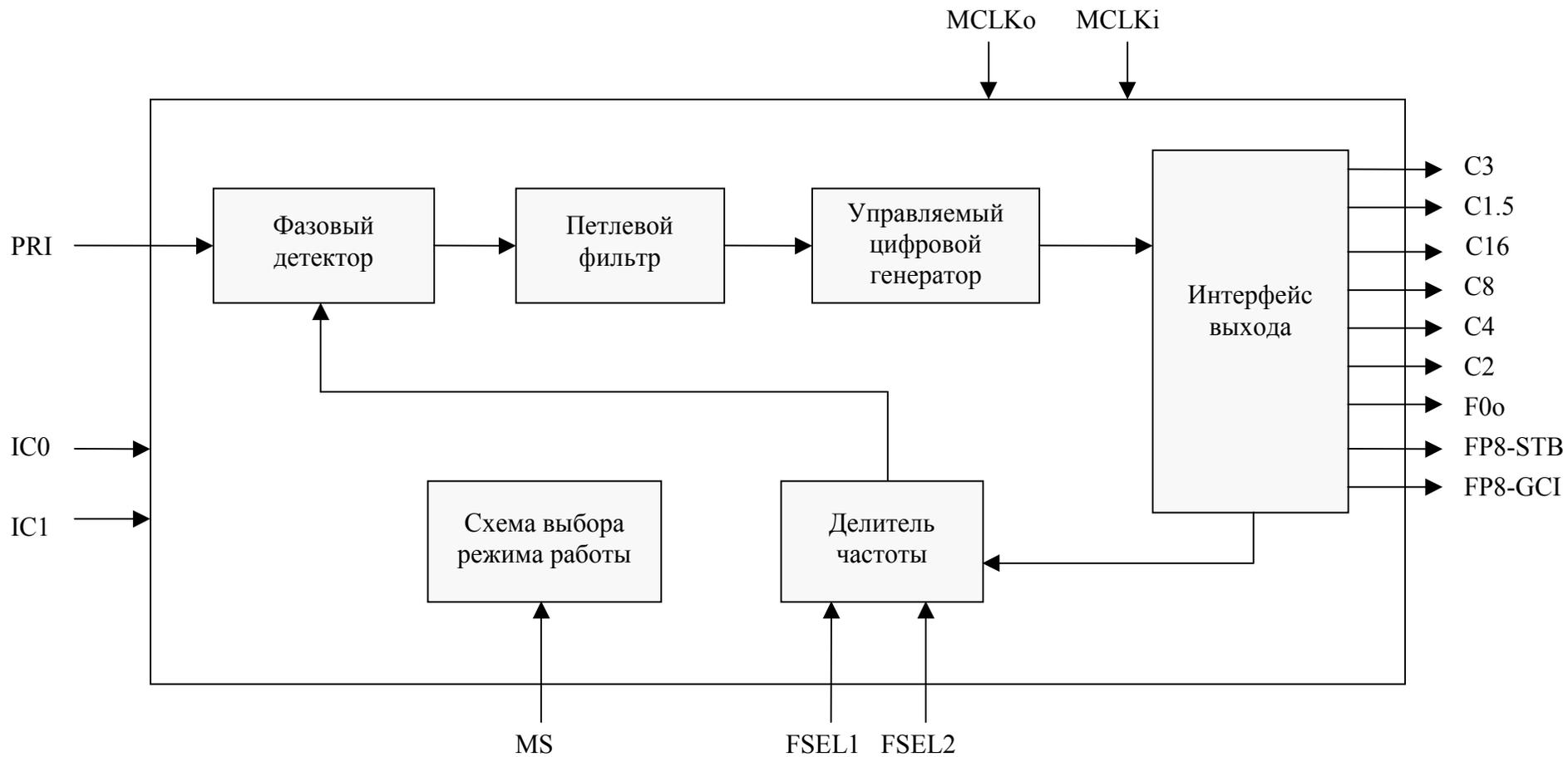


Рис. 17. Структурная схема ИС МТ9041

Для устранения искажений формы сигналов в линиях связи между центральным коммутационным устройством и модулями 4хИКМ-30, вызываемых эффектами отражений сигналов при передаче по несогласованным проводникам, на плате адаптера размещены последовательные согласующие резисторы R4,...,R9, R15,...,R29.

Плата адаптера 1 ADP1 имеет следующие разъемы:

XR1 – штыревой соединитель типа PLD-26 для приема управляющих сигналов от платы контроллера, трансляции управляющих потоков CSTi/o между модулями 4хИКМ-30 и платой контроллера, выдачи импульсов синхронизации;

XR2 - штыревой соединитель типа PLS-4R для подключения к кнопке RESET и индикатору на лицевой панели коммутатора;

XR3 – штыревой соединитель типа PLD-10 для передачи импульсов синхронизации; XR4, XR5 – штыревые соединители типа PLD-26 для трансляции потоков данных STi/o между модулями 4хИКМ-30 и платой коммутатора;

XR6 – штыревой соединитель типа PLD-10 для трансляции сигналов состояния модулей 4хИКМ-30;

XR7, XR8 – разъемы питания;

XR9 - штыревой соединитель типа PLS-4R для связи с платой интерфейса E1;

XR10 - ламельный печатный разъем для подключения к задней монтажной объединительной панели коммутатора;

XR11 - штыревой соединитель типа PLS-4R для выдачи сигнала сброса на плату центрального процессора.

4.1.7. Плата адаптера 2 ADP2 СВТИ.468359.013

При изучении и эксплуатации платы необходимо дополнительно руководствоваться схемой электрической принципиальной СВТИ.468359.013 ЭЗ.

Плата адаптера 2 ADP2 предназначена для сопряжения центрального коммутационного устройства с интерфейсными модулями 4хИКМ-30. Плата не содержит активных элементов, на ней установлены только последовательные согласующие резисторы R1,...,R20, служащие для устранения отражений сигналов в линиях связи между центральным коммутационным устройством и модулями 4хИКМ-30.

Плата адаптера 2 ADP2 имеет следующие разъемы:

XR1 – штыревой соединитель типа PLD-26 для трансляции управляющих потоков CSTi/o между модулями 4хИКМ30 и платой контроллера;

XR2 - ламельный печатный разъем для подключения к задней монтажной объединительной панели коммутатора;

XR3 – штыревой соединитель типа PLD-10 для трансляции сигналов состояния модулей 4хИКМ-30;

XR4, XR5 – штыревые соединители типа PLD-34 для трансляции потоков данных STi/o между модулями 4хИКМ-30 и платой коммутатора.

4.5. Модуль интерфейсный 4хИКМ-30 СВТИ.465237.013

При изучении и эксплуатации модуля необходимо дополнительно руководствоваться схемой электрической принципиальной СВТИ.465237.013 ЭЗ.

Модуль 4хИКМ-30 обеспечивает линейное сопряжение коммутатора с первичными цифровыми потоками ИКМ-30 (Е1), прямое и обратное преобразования непрерывных потоков стандарта ИКМ-30 (Е1) в непрерывные потоки магистрали ST-BUS, используемой в коммутаторе в качестве общей магистрали модулей 4хИКМ-30 и центрального коммутационного устройства, разделение на аппаратном уровне каналов данных (звуковых каналов) и каналов сигнализации первичных потоков, выдачу потоков данных по системной магистрали в центральное коммутационное устройство, а также предварительную обработку и форматирование управляющей информации для последующей передачи центральному процессору.

Модуль 4хИКМ-30 состоит из следующих основных узлов:

четырёх идентичных каналов первичного доступа Е1 D45, D46, D50, D51, D54, D55, D58, D59;

схем параллельного доступа и форматирования данных для каждого из каналов D43, D44, D48, D49, D52, D53, D56, D57;

буферных схем D2, D3 входных и выходных потоков магистрали ST-BUS и тактовых синхроимпульсов;

мультиплексора D1 выбора опорной тактовой частоты, выделенной из одного из принимаемых первичных потоков Е1;

узла управления на основе сигнального процессора TMS320C25 D11;

источника вторичного питания на базе микросборки D61;

Каждый канал первичного доступа собран на приемопередатчике Е1 МН89792-1 и микросхеме для создания цифрового потока Е1 МТ8979 фирмы MITEЛ Semiconductor.

Микросборка МН89792-1 представляет собой устройство сопряжения с цифровым трактом стандарта ИКМ-30, которое при совместной работе с формирователем кадров обеспечивает выполнение требований рекомендации ITU-T G-703 и ГОСТ 26886-86 для систем ИКМ-30. Функциональная схема микросборки изображена на рис. 18. Приемник МН89792 сопрягается с линией передачи через встроенный импульсный трансформатор, обеспечивающий изоляцию линейных цепей от цепей коммутатора. Трансформатор разделяет принимаемый линейный разнополярный сигнал RLA, RLB (выводы 12, 13) на биполярные разнофазные сигналы RxA и RxB. Последние поступают в схему приемника,

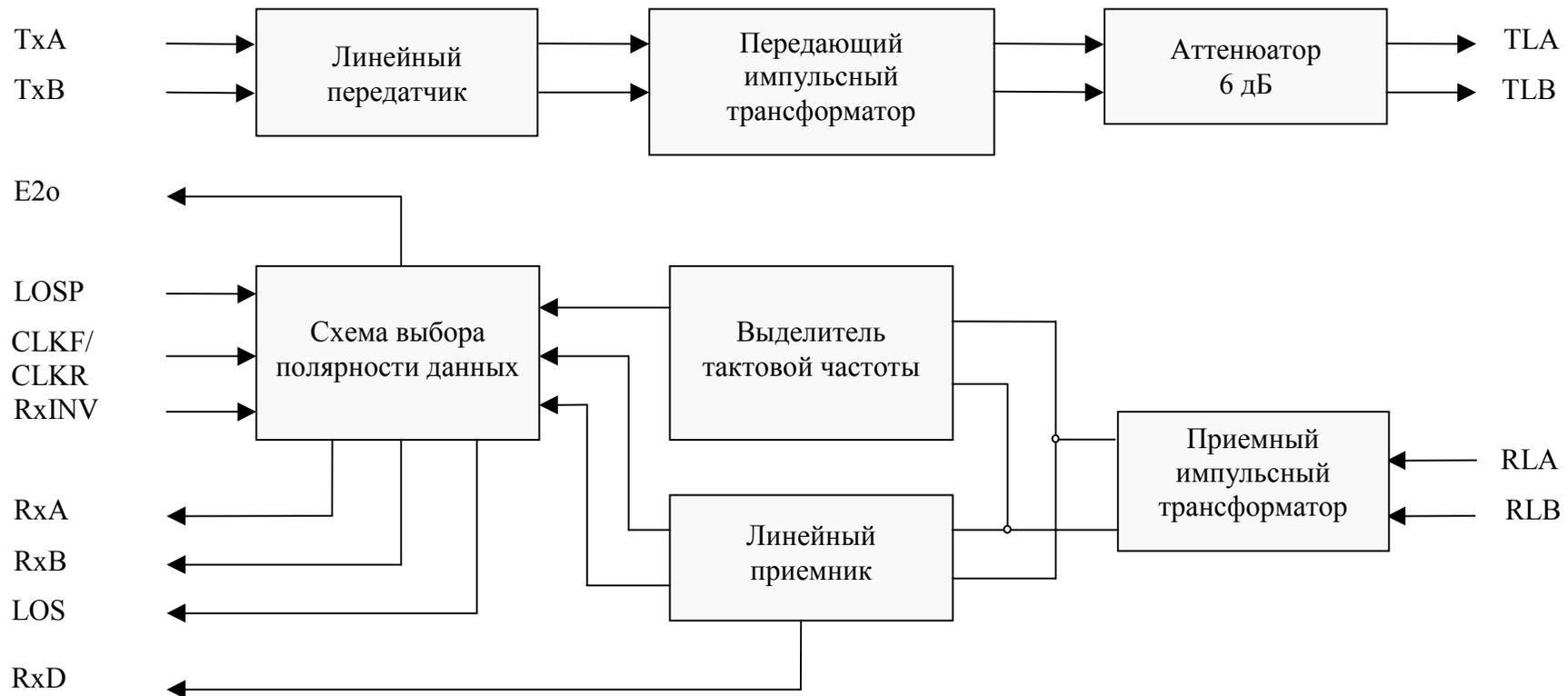


Рис. 18. Функциональная схема микросборки MN89792

в которой с помощью их объединения по ИЛИ образуется двоичный сигнал без возврата к нулю RxD (вывод 6), и в схему выделения тактовой частоты, где из принимаемого потока генерируется тактовая последовательность E2. Информационные сигналы RxA, RxB и выделенная тактовая синхропоследовательность выдаются на выход микросборки через схему выбора полярности, где для сопряжения с ИС МТ8979 заданием постоянного низкого уровня на вход RxINV (вывод 7) и на вход CLKF/CLKR (вывод 8) сигналы RxA, RxB инвертируются (выводы 3,4), а примерно по середине битового интервала данных устанавливается отрицательный фронт выделенного тактового сигнала E2 (вывод 1).

В случае пропадания входного линейного сигнала микросборка МН89792 обнаруживает последовательность из 128 и более непрерывно следующих друг за другом нулей и индицирует это состояние выдачей сигнала LOS (вывод 9). Этот сигнал используется в модуле для работы аварийного индикатора VD6 “СБОЙ ЛС”. Необходимая полярность активного уровня сигнала LOS задается подачей низкого уровня на вход управления полярностью LOSP (вывод 10).

Передатчик МН89782 сопрягается с линией передачи через внутренний импульсный трансформатор, который преобразует биполярные сигналы TxA, TxV (выводы 19,20) в линейный код. Проходя через аттенюатор с затуханием 6 дБ, необходимый для выполнения требований по затуханию отраженного сигнала, сигнал TLA, TLV далее подается в линию (выводы 14,15).

Микросборка МН89792 работает совместно с ИС МТ8979, являющейся однокристалльным приемопередатчиком первичного потока ИКМ-30, отвечающим требованиям ITU-T G-704 и ГОСТ 27763-88. Функциональная схема ИС МТ8979 показана на рис. 19. Принимаемые по входам RxA, RxB и RxD (выводы 5,...,7) непрерывные информационные потоки вместе с выделенной из линейного сигнала тактовой частотой E2 (вывод 25) поступают в узел сопряжения с трактом ИКМ-30. Этот узел совместно с временным таймером ИКМ-30 обеспечивает синхронность работы аппаратуры коммутатора и принимаемого цифрового потока. Процесс входа в синхронизм начинается с поиска кодовой комбинации начала цикла, содержащего цикловой синхросигнал. Принимаемый последовательный поток данных анализируется по мере поступления информационных битов, в случае обнаружения кодовой комбинации 0011011 запускается таймер, отсчитывающий отрезок времени до начала следующего цикла, не содержащего код циклового синхронизма, и производится анализ бита 2 КИ0 этого цикла. Если значение бита 2 равно 1, то таймер продолжает отсчет времени до начала следующего цикла, содержащего цикловой синхросигнал, в противном случае, обнаруженная кодовая

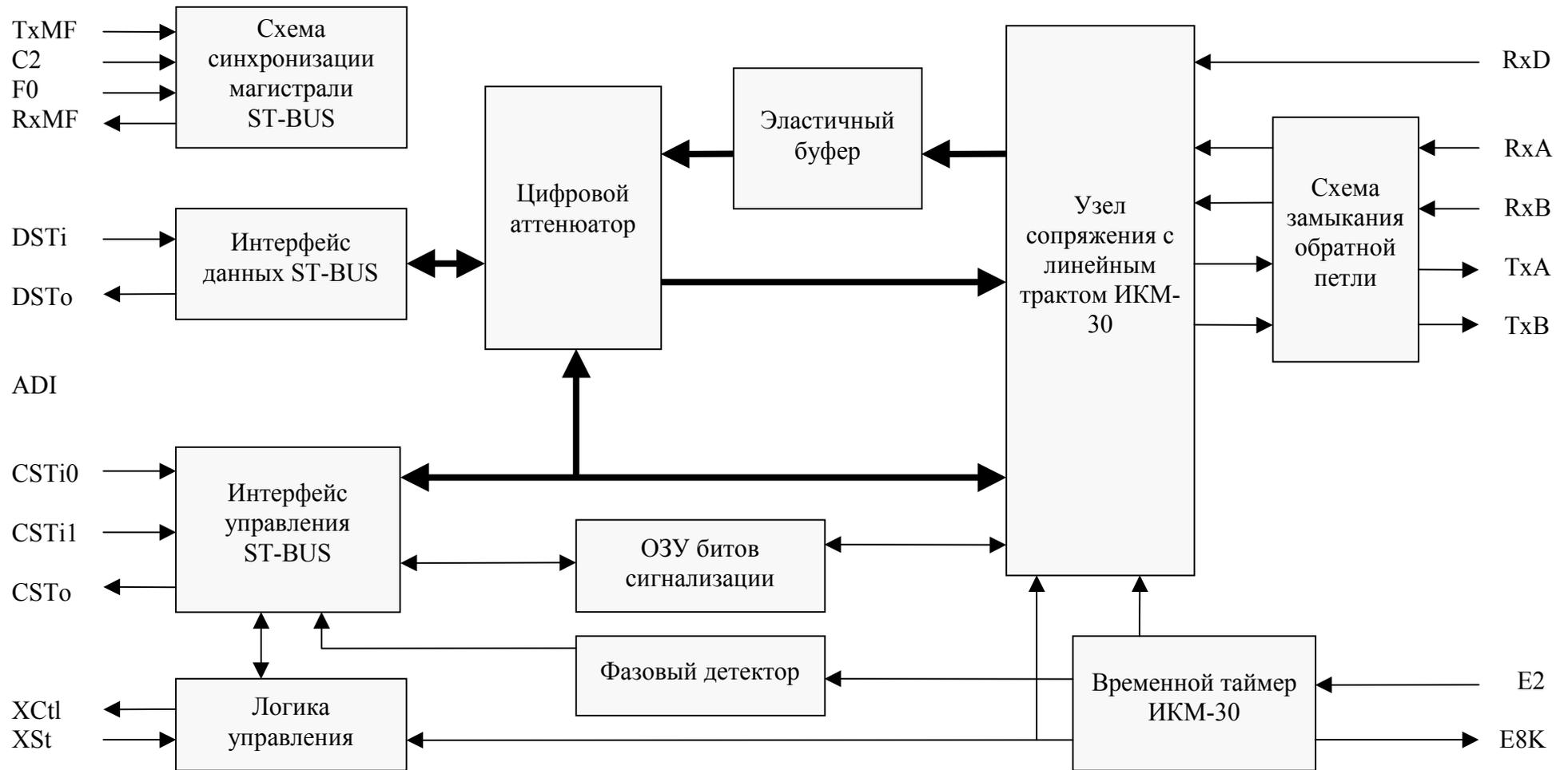


Рис. 19. Функциональная схема ИС МТ8979

комбинация считается ложной и процесс входа в цикловой синхронизм начинается сначала.

Если через 250 мкс после запуска таймера в линейном сигнале вторично появляется кодовая комбинация 0011011, то считается, что обнаруженная кодовая комбинация действительно расположена в начале цикла и система вошла в состояние циклового синхронизма.

После этого незамедлительно начинается процесс входа в сверхциклового синхронизм. Для этого таймер дает команду на анализ первых 4 разрядов КИ16 циклов, содержащих код циклового синхронизма. Обнаружение кодовой комбинации 0000 в этих разрядах расценивается, как нахождение цикла с номером 0 (Ц0) сверхцикла и достижение состояния сверхциклового синхронизма.

Принятый поток поступает в эластичный буфер, который поглощает низкочастотный переменный сдвиг и дрожание фазы входного сигнала. Данные записываются в эластичный буфер тактовыми сигналами E2, выделенными из входного потока и поэтому жестко привязанными к ним по фазе, а считываются системными тактовыми импульсами С2 (вывод 21). Эластичный буфер устраняет ошибки приема, связанные с изменением фазовых соотношений между этими тактовыми последовательностями.

Цифровые выборки звуковых каналов ИКМ-30 из эластичного буфера проходят через управляемый цифровой аттенюатор и поступают в блок системного интерфейса ST-BUS, предназначенного для сопряжения микросхем фирмы MITEL Semiconductor, используемых в коммутационном оборудовании систем связи. Интерфейс ST-BUS представляет собой синхронные последовательные потоки данных и управления со скоростью передачи 2048 кбит/с, разделенные на кадры длительностью 125 мкс, содержащими в свою очередь разделенные во времени 32 8-разрядных канала. Синхронизация потоков осуществляется кадровыми импульсами F0 частотой 8 кГц, которые определяют границы кадров, и тактовыми импульсами С2 частотой 2048 кГц, определяющими временное положение отдельных разрядов в потоках. Временные соотношения между синхросигналами F0, С2 и разрядами данных показаны на рис. 20.

Информация из первичного тракта, принятая ИС МТ8979, выдается в магистраль ST-BUS по выходной линии данных DSTo (вывод 3) и выходной линии управления и сигнализации CSTo (вывод 17). Соотношения между структурой принимаемого потока ИКМ-30 и сигналами на выходных шинах магистрали ST-BUS приведены на рис. 21.

Информация, предназначенная для передачи в тракт ИКМ-30, поступает на ИС МТ8979 из магистрали ST-BUS по входной линии данных DSTi (вывод 19) и двум линиям управления и сигнализации CSTi0, CSTi1 (выводы 12,8). Поток DSTi содержит выборки

Канал DSTo	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Канальный интервал ИКМ-30	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	SIG	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

SIG-канал сигнализации

Канал CSTo	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
Состояние микросхемы МТ8979																			S1	S2	S3	S4											
Поток ИКМ-30																																	
Цикл	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	A	N															
Канал	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	0	0															

S1 слово состояния 1

S2-слово отображения фазового соотношения между принимаемым потоком и потоком магистрали ST-BUS

S3-состояние счетчика ошибок CRC-контроля

S4-слово состояния 2

A-цикл, содержащий цикловой синхросигнал

N-цикл, не содержащий цикловой синхросигнал

Рис. 21. Соотношения между структурой принимаемого потока ИКМ-30 и сигналами на выходных шинах магистрали ST-BUS

звуковых каналов, а в потоках CSTi0, CSTi1 находится вся необходимая информация для управления работой приемопередатчика MT8979 и формирования выходного потока ИКМ-30. Соответствие между сигналами на входных шинах магистрали ST-BUS и структурой выходного линейного сигнала ИКМ-30 показано на рис. 22.

Во всех каналах первичного доступа потоки DSTo принятых данных и потоки DSTi данных, предназначенных для передачи, подключены к двум направлениям. По первому направлению они связаны с микросхемами D43, D48, D52, D56 соответственно контроллера протокола HDLC типа MT8952 (выводы 4, 3). Эти схемы обеспечивают доступ к каналам данных расположенного в модуле сигнального процессора D11.

По второму направлению потоки данных поступают на вход и с выхода модуля 4xИКМ-30 через буферные схемы D3 и разъем XR1 на системную шину и далее на центральное коммутационное устройство коммутатора.

Подробное описание микросхемы MT8952 приведено в [1, 2]. Структурная блок-схема контроллера протокола HDLC показана на рис. 23. Контроллер имеет два порта. Последовательный порт обеспечивает передачу и прием форматированных пакетов данных, а параллельный порт является микропроцессорным сопряжением, обеспечивающим доступ к различным регистрам контроллера протокола.

Конфигурация последовательного порта может быть задана для работы в двух режимах. Он позволяет передавать или принимать пакеты в выбранных временных интервалах в формате ST-BUS, или же, используя сигналы разрешения TxСEN и RxСEN (выводы 1 и 2), передавать и принимать пакеты со скоростью, равной частоте входного тактового сигнала СКi (вывод 25).

Микропроцессорный порт позволяет осуществлять параллельную передачу данных между контроллером протокола и магистралью сигнального процессора. Это сопряжение состоит из магистрали данных D0...D7, магистрали адреса A0...A3, тактовой линии E (вывод 12), линий выбора кристалла CS (вывод 11) и управления чтением и записью R/W (вывод 13).

В модуле 4xИКМ-30 используется режим внешней синхронизации последовательного порта микросхемы MT8952, при котором она может обеспечить формирование пакетов данных в любых, в том числе во всех каналах магистрали ST-BUS. Задание режима синхронизации схемы производится записью значения нуля в разряде IC (D6) регистра управления синхронизацией. Этот разряд устанавливается в нуль также при подаче общего сигнала сброса на вход RST (вывод 27) или записью значения единицы в разряд RST (D7) регистра управления синхронизацией. Адреса всех регистров контроллера протокола приведены в таблице 10.

Канал DSTi	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Канальный интервал ИКМ-30		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	CCS	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31

CCS-канал сигнализации в режиме общеканальной сигнализации

Канал CSTi0	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	
Управление микросхемой МТ8979																C1																	C2
Управляющее слово для канала ИКМ	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		17	18	19	20	21	22	23	24	25	26	27	28	29	30	31		

C1-слово управления 1

C2-слово управления 2

Канал CSTi1	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
Управление микросхемой МТ8979																			C3													
Поток ИКМ-30																																
Цикл	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	A	N														
Канал	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	16	0	0														

A-цикл, содержащий цикловой синхросигнал

N-цикл, не содержащий цикловой синхросигнал

C3-слово управления 3

Рис. 22. Соответствие между сигналами на входных шинах магистрали ST-BUS и структурой выходного линейного сигнала ИКМ-30

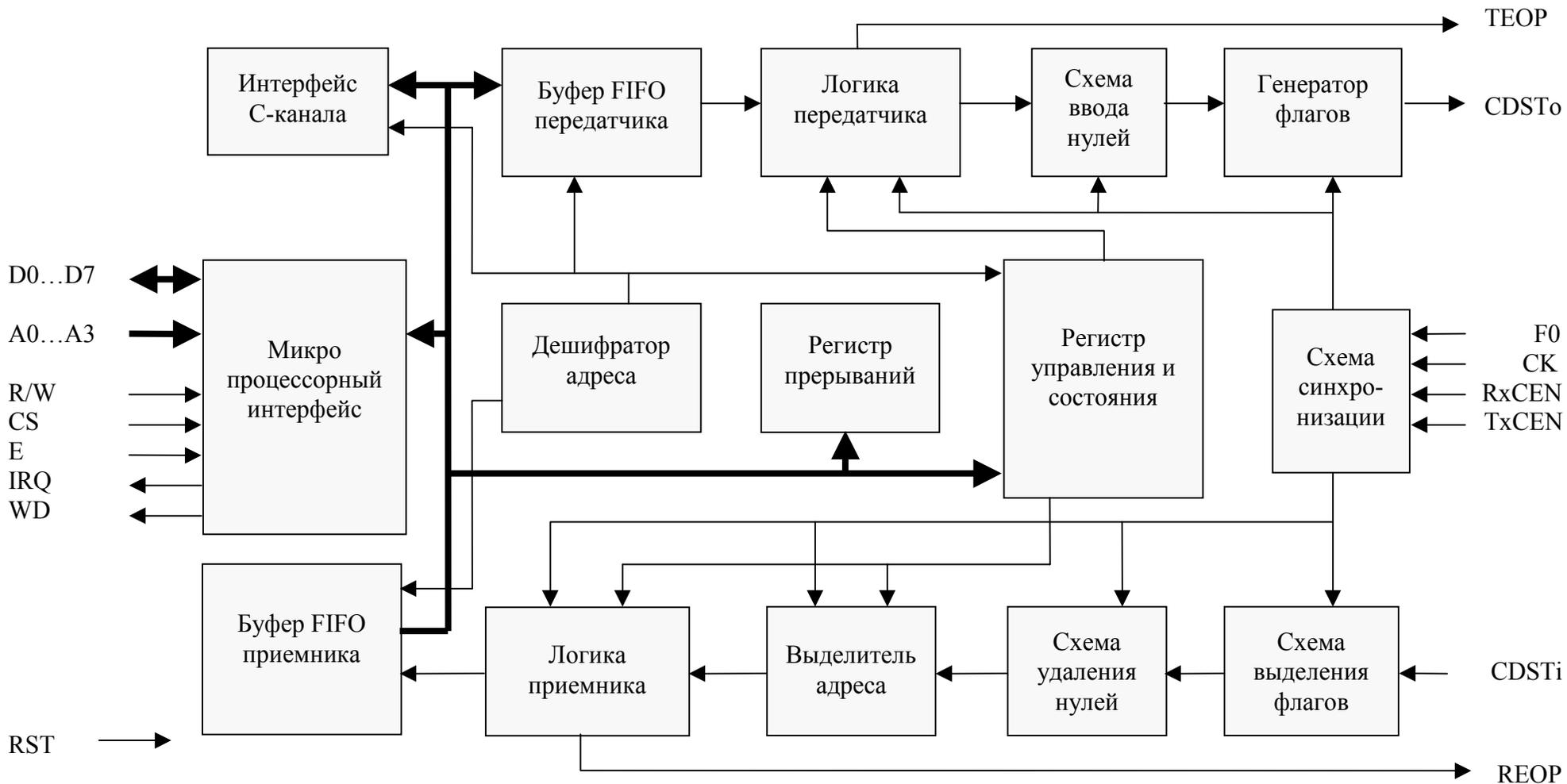


Рис. 23. Структурная блок-схема контроллера протокола MT8952

Таблица 10

Разряд адреса				Регистр	
A3	A2	A1	A0	Чтение	Запись
0	0	0	0	Состояние буфера FIFO	-
0	0	0	1	Принимаемые данные	Передаваемые данные
0	0	1	0	Управление	Управление
0	0	1	1	Адрес приема	Адрес приема
0	1	0	0	Управление каналом С (передача)	Управление каналом С (передача)
0	1	0	1	Управление синхронизацией	Управление синхронизацией
0	1	1	0	Флаг прерывания	Контрольный таймер
0	1	1	1	Разрешение прерываний	Разрешение прерываний
1	0	0	0	Общее состояние	-
1	0	0	1	Состояние канала С (прием)	-

В режиме внешней синхронизации управление состоянием последовательных входа CDSTi (вывод 4) и выхода CDSTo (вывод 3) производится сигналами разрешения RxСEN и TxСEN. Низкий уровень сигнала RxСEN разрешает работу тракта приема, а низкий уровень сигнала TxСEN разрешает работу тракта передачи, при этом данные продвигаются на вход и выход ИС МТ8952 в последовательной форме со скоростью, равной частоте сигнала С2 (2048 кГц).

Так как в модуле 4хИКМ-30 контроллеры протокола сопрягаются с микросхемами первичного доступа МТ8979, работающими с неформатированными пакетами данных, то контроллеры работают в режиме прозрачной передачи данных, при котором функции протокола HDLC отключаются и обеспечивается возможность прозрачного доступа сигнального процессора к последовательным магистралям через параллельный порт с выделением в каждом направлении передачи буфера FIFO длиной по 19 байт, что соответствует 19 каналам потоков данных магистрали ST-BUS. Состояние прозрачной передачи задается разрядами IFTF1 (D3), IFTF0 (D2) регистра управления. Для прозрачной передачи данных эти разряды должны быть IFTF1=1, IFTF0=0. По сигналу сброса RST они принимают значение нуля, то есть режим прозрачной передачи должен задаваться сигнальным процессором.

Сигнальный процессор осуществляет выбор информации для обработки из потоков DSTo принятых данных, а также формирует потоки DSTi данных, предназначенных для передачи, из потоков с системной шины от центрального коммутационного устройства коммутатора и от микросхем контроллера протокола при помощи микросхемы параллельного доступа D32 типа MT8920.

Для манипулирования потоками данных DSTo и DSTi сигнальный процессор использует ОЗУ передачи TX1 микросхемы D32, управляя с помощью этого ОЗУ схемой формирования сигналов разрешения TxСEN и RxСEN для последовательных выходов и входов микросхем контроллеров протокола. Потоки DSTi, поступающие на входы 19 приемопередатчиков MT8979 для передачи в линейный тракт ИКМ-30 могут браться или с выхода CDSTo (вывод 3) контроллеров протоколов MT8052 или со входа платы через буферную схему D3 (выводы 3, 5, 7, 9). Управление выходом микросхем D43, D46, D49, D52 и D3 осуществляется сигналами RxTxEnL и BuffEnL соответственно, которые формируются на триггерах D38 в зависимости от содержимого ОЗУ передачи Tx1. Например, если все ячейки ОЗУ заполнить кодами FFh, то сигнал RxTxEnL будет постоянно иметь низкий уровень, а сигнал BuffL-высокий, то есть выходы контроллеров протокола будут постоянно открыты, а выходы буфера D3 будут постоянно находиться в высокоимпедансном состоянии. Соотношения между синхросигналами C4L, C2, C2L, тактирующими работу схемы, выбраны таким образом, чтобы избежать конфликтов между выходами микросхем D43, D46, D49, D52 и D3 в моменты переключения направлений прихода информации на схемы приемопередатчиков D45, D50, D54, D58 для передачи в линейный тракт.

Управляющие потоки CSTo с микросхем приемопередатчиков D45, D50, D54, D58, содержащие в случае режима сигнализации по выделенным сигнальным каналам значения битов управления и взаимодействия для каждого канала и полную информацию о состоянии линейного приемника, подключены к последовательным входам (выводы 4) ОЗУ приема Rx0 микросхем параллельного доступа D44, D49, D53, D57 MT8920. Таким образом обеспечивается постоянный доступ сигнального процессора D11 к управляющей информации в принимаемых линейных потоках ИКМ-30.

Микросхемы MT8920 предоставляют также сигнальному процессору возможность формировать управляющие потоки CSTi0, CSTi1, содержащие полную информацию для управления работой линейного передатчика MT8979 и формирования выходного потока ИКМ-30. Для этой цели используются ОЗУ передачи Tx0 и Tx1, в которые процессор TMS320C25 предварительно заносит требуемую информацию через параллельные порты микросхем.

Имея непрерывный доступ к управляющей информации всех первичных каналов ИКМ-30, сигнальный процессор может выполнить ее предварительную обработку по заданной программе и сформировать общий для всех четырех каналов ИКМ-30 последовательный поток CSTo управляющей информации для передачи по системной магистрали к центральному процессору. С другой стороны, процессор TMS320C25, получив с системной шины от центрального процессора управляющую информацию в общем потоке управления CSTi, может управлять работой линейных передатчиков ИКМ-30 каждого канала. Сопряжение сигнального процессора с последовательными системными шинами управления производится при помощи ОЗУ передачи Tx0 и ОЗУ приема Rx0 микросхемы параллельного доступа D32 (выводы 23, 4 соответственно).

Работа всех схем модуля 4xИКМ-30 осуществляется под контролем узла управления, основным элементом которого является однокристалльный сигнальный процессор TMS320C25 фирмы Texas Instruments.

Работа сигнального процессора начинается после снятия низкого уровня на входе сигнала сброса RS (вывод 65). Сигнал сброса процессора ResetL, который приводит в исходное состояние и все другие микросхемы на плате, для которых требуется начальная установка, формируется на схеме, состоящей из логических элементов D12, D13 и сдвигового регистра D34. Источником сигнала сброса в модуле могут быть или линия готовности выходных данных DTR (XR2/4) последовательного порта RS-232 в режиме отладки модуля при работе с последовательным портом, или вход OELX с системного разъема модуля XR1/B28 в нормальном режиме. Высокий уровень сигнала OELX по входу 1 переводит в высокоимпедансное состояние буферную схему D2, в результате на ее выходе 12 возникает положительный перепад OEL (XReset), который формирует сигнал низкого уровня на выходе 10 логического элемента D12 выбора источника сброса. Этот выход подается на вход 9 логической сборки D13 сигналов штатного начального сброса при включении коммутатора и аварийного перезапуска сигнального процессора (вход 10).

Аварийный сброс формируется на двух D-триггерах D16 и является следствием появления низкого уровня сигнала WD на выходе 5 микросхемы D43. Этот выход управляется встроенным в контроллер протокола HDLC контрольным таймером. Контрольный таймер представляет собой фиксированный одиннадцатиразрядный счетчик, на вход которого подается тактовый сигнал F0i (вывод 26), а с последнего разряда снимается выходной сигнал WD. Сброс счетчика может осуществляться либо с внешнего входа сброса схемы RST, либо путем записи значения Ah в регистр контрольного таймера. Нормально на выходе WD присутствует высокий уровень, и если в регистр контрольного таймера после его сброса не

производится запись в течение 2^{10} периодов тактового сигнала $F0i$, выходной сигнал WD примет низкий уровень на то же самое время. Если включить в рабочую программу сигнального процессора периодически повторяющуюся команду, выполняющую обнуление контрольного таймера микросхемы $D43$, то в случае зависания (остановки выполнения программы) процессора, положительный фронт первого импульса WD установит выход 9 триггера $D16$ в низкий уровень, а инверсный выход 8 в высокий, при этом загорится индикатор $VD2$ на лицевой панели модуля. Положительный фронт второго импульса перепишет уровень нуля с выхода 9 на выход 5 другого триггера $D16$ и вызовет сигнал аварийного сброса SRL .

Начальная установка триггеров $D16$ производится штатным импульсом сброса $ResetL$ (вывод 4) и сигналом $CSL5$ (вывод 10), вырабатываемым дешифратором выбора внешних устройств сигнального процессора.

Сигнал аварийного сброса может быть отключен снятием перемычки $MJ-C$ с джампера $JP8$.

С выхода сборки $D13$ сигнал сброса подается на вход обнуления (вывод 1) сдвигового регистра $D34$, на котором формируется минимально необходимая длительность импульса для начальной установки сигнального процессора (три периода тактовой частоты $CLK2$).

Во время действия сигнала $ResetL$ в сигнальном процессоре выполняются следующие действия:

биты регистров конфигурации оперативной памяти устанавливаются таким образом, что вся внутрикристалльная память становится памятью данных;

программный счетчик (PC) сбрасывается в нулевое состояние и на линиях шины адреса $A0...A15$ выставляются низкие уровни;

линии шины данных $D0...D15$ устанавливаются в высокоимпедансное состояние;

все сигналы, управляющие распределением памяти и типом цикла обмена, PS , DS , IS , R/W , $STRB$ и BR , пока действует $ResetL$, находятся в высокоимпедансном состоянии;

все прерывания запрещаются, регистр флага прерываний устанавливается в нулевое состояние;

регистр глобальной памяти ($GREG$) очищается и вся память становится локальной;

счетчик повторений циклов ($RPTC$) очищается.

Сигналом $ResetL$ триггер загрузки $D19.1$ устанавливается в нулевое состояние, при котором сигнал OE с его инверсного выхода принимает высокий уровень и отключает от шины данных $D0...D15$ сигнального процессора $O3Y$ на микросхемах $D7...D10$.

После прекращения сигнала $ResetL$ и высоком уровне сигнала на входе выбора режима работы процессора MP/MC (вывод 1), задаваемом установкой перемычки $MJ-C$ на контакты 2,

3 джампера JP1 (микропроцессорный режим работы), процессор TMS320C25 начинает выполнять программу с оператора, хранящегося в нулевой ячейке внешней памяти программ, то есть выставляет нулевой адрес на шине адреса и вырабатывает сигналы обращения к памяти программ PS (вывод 47), указателя цикла обмена по внешней шине STRB (вывод 49) с активным низким уровнем, и сигнал чтения R/W с активным высоким уровнем. Под действием этих сигналов совместно с высоким уровнем на выходе 6 триггера загрузки D19.1, на выходе 6 схемы ИЛИ D15 вырабатывается низкий уровень сигнала BuffOEL, открывающего буферные схемы D22, D23 внешней шины адреса сигнального процессора SA0..SA13 и D20, D21 внешней шины данных SD0...SD15, а на выходе 11 появляется низкий уровень сигнала ROMOEL, открывающего выходы ПЗУ на микросхемах D25, D26.

Пока сигнал OE остается высоким, состояние входа READY (вывод 66) процессора, определяющего готовность внешнего устройства к обмену данными, зависит от значения сигнала End на выходе 5 триггера D18. До выработки процессором stroba цикла обмена по внешней шине, триггер D18.1 удерживается по входу R (вывод 1) в нулевом состоянии, сигнал End имеет низкий уровень и на входе READY присутствует низкий уровень. Процессор при этом находится в состоянии ожидания. Триггер D17.1 удерживается в состоянии единицы по установочному входу S (вывод 4). С появлением сигнала STRB триггеры D17.2, D18.1 и D18.2 разблокируются. Первый положительный фронт инверсного импульса CLK2 запишет в триггер D17.2 высокий уровень сигнала чтения RD, чем освободит триггер D17.1 для записи низкого уровня сигнала BuffOEL фронтом следующего тактового импульса CLK2. Этот низкий уровень с выхода 5 триггера D17.1 вместе с нулевым значением адресной линии A14 вызовет появление высокого уровня на входе D триггера D18.2. Через два тактовых интервала высокий уровень появится на выходе 5 триггера D18.1 и входе READY процессора.

Обнаружив сигнал готовности внешнего устройства к обмену, сигнальный процессор считывает и выполнит команду, записанную в ячейку 0h ПЗУ D25, D26, то есть начнется инициализация сигнального процессора и загрузка в его внутрикристальную память рабочей программы. Рассмотренная выше схема на триггерах D17, D18, обеспечивает корректную временную диаграмму считывания процессором TMS320C25 загрузочной программы из ПЗУ на микросхемах D25, D26.

Рабочая программа должна записываться в блок B0 внутрикристальной памяти, который инструкцией CNFP (здесь и далее приводится мнемоническое обозначение машинных команд процессора TMS320C25) может быть сконфигурирован как память программ с адресами от FF00h (65280) до FFFFh (65535).

До тех пор, пока триггер загрузки D19.1 находится в нулевом состоянии, и не выполнялись команды перераспределения программной памяти, процессор может считывать очередные инструкции только из ПЗУ D25, D26. Для того, чтобы переключить триггер D19.1, необходимо выполнить команду с обращением к адресу, в котором значение разряда A15=1. В этом случае, задний (нарастающий) фронт импульса ROMOEL перебросит триггер загрузки в состояние единицы и разрешит процессору доступ к ОЗУ D7...D10.

После окончания загрузки сигнальный процессор переводится в режим выполнения рабочей программы. Это осуществляется при помощи вышеупомянутого оператора CNFP, после которого пространство внутренней и внешней памяти, памяти программ и памяти данных прибора TMS320C25 распределяется так, как показано на рис. 16.

После выполнения оператора CNFP процессор начнет обрабатывать инструкции, хранящиеся или в блоке B0 внутрикристальной памяти, или во внешнем ОЗУ, построенном на микросхемах D9, D10, или во внешнем ПЗУ D25, D26.

Оперативная программная память D9, D10 занимает нижнюю область пространства памяти в диапазоне адресов от 0 (0h) до 32767 (7FFFh) и доступна только при значении адресного разряда A15=0. Постоянная программная память D25, D26 занимает первую половину верхней области памяти программ с адресами 32768 (8000h)...49151(BFFFh) и доступна только при значении разряда A15=1. Причем линия A15 шины адреса используется для устранения конфликтов между оперативной и постоянной памятью на аппаратном уровне, так как обращение к этим схемам осуществляется под воздействием одних и тех же сигналов процессора TMS320C25. Низкий уровень на линии A15 совместно с низким уровнем на инверсном выходе 6 триггера D19.1 блокирует выработку сигнала BuffOEL открытия буферных схем D22, D23 внешней шины адреса SA0..SA13 и D20, D21 внешней шины данных SD0...SD15 (цепочка логических элементов D12.1, D15.2). Высокий уровень A15 запрещает выработку сигналов выбора кристалла CS микросхем D7...D10 (цепочки логических элементов D14.1, D14.2 и D14.4, D14.3).

Блок B0 внутрикристальной памяти программ занимает верхние 256 слов с адресами от 65280 (FF00h) до 65535 (FFFFh).

Младшие 128 слов области памяти данных от 0 (0h) до 127 (7Fh) занимают отображенные на память и служебные регистры и блок B2 внутрикристальной памяти. Адреса с 768 (300h) по 1023 (3FFh) отведены под блок B1 внутрикристальной памяти. Внешняя память данных на ОЗУ D7, D8 расположена в области адресов от 1024 (400h) до 32767 (7FFFh).

Разделение микросхем ОЗУ D7...D10 на память данных и программ осуществляется управляющими сигналами DS (вывод 45) и PS (вывод 47) на логических элементах D14.

Верхнюю половину адресного пространства памяти данных сигнального процессора начиная с адреса 32678 (8000h) занимают программно управляемые схемы каналов первичного доступа и схемы общего назначения модуля 4xИКМ-30. Как и в случае памяти программ, линия адреса A15 используется для устранения конфликтов между микросхемами ОЗУ и внешними устройствами на аппаратном уровне. Выбор между внешними устройствами и микросхемами ПЗУ, подключенным к одной шины данных SD0...SD15, производится с помощью логического элемента D15.4, управляемого процессорным сигналом обращения к памяти программ PS.

Базовые адреса внешних устройств сигнального процессора в модуле 4xИКМ-30 приведены в таблице 11.

Таблица 11

Наименование внешнего устройства	Обозначение и тип микросхемы	Базовый адрес	Тип обращения
Контроллер протокола HDLC канала 0	D43 MT8952	8000h	Чтение/запись
Контроллер протокола HDLC канала 1	D48 MT8952	8080h	То же
Контроллер протокола HDLC канала 2	D52 MT8952	8100h	"
Контроллер протокола HDLC канала 3	D56 MT8952	8180h	"
Схема параллельного доступа канала 0	D44 MT8920	C400h	"
Схема параллельного доступа канала 1	D49 MT8920	C480h	"
Схема параллельного доступа канала 2	D53 MT8920	C500h	"
Схема параллельного доступа канала 3	D56 MT8920	C580h	"
Схема параллельного доступа процессора	D32 MT8920	C600h	"
Регистр прерываний	D31	8200h	Чтение
Сброс триггера аварии	D16	8280h	Чтение/запись

Сигналы выбора CS0...CS12 внешних устройств вырабатываются дешифратором на микросхемах D27, D28, дешифрирующим состояние адресных линий A7...A10. Сигнал PerL разрешения работы дешифратора формируется логическим элементом D15.1 из процессорного сигнала DS обращения к памяти данных и сигнала BuffOEL открытия буферных схем шины адреса SA0..SA13 и шины данных SD0...SD15.

Сигналы стробов данных DS и DSL при обращении к схемам внешних устройств вырабатываются триггером D17.1.

Временная диаграмма обмена сигнального процессора со схемами контроллеров протоколов HDLC формируется на цепочке D-триггеров D17, D18, как и в случае чтения команд из ПЗУ D25, D26.

При работе со схемами параллельного доступа, временная диаграмма обмена организуется при помощи сигнала DTACK подтверждения передачи или окончания приема правильных данных, вырабатываемым схемой параллельного доступа (вывод 26). Анализ состояния сигнала DTACK производится логическим элементом D13.2 при высоком уровне адресной линии A14.

В случае обращения сигнального процессора к статическому ОЗУ D7...D10, время выборки адреса которых меньше 40 нс и не требуется организовывать циклы ожидания процессора при обмене, сигнал готовности внешнего устройства к обмену данными READY выставляется по цепочке логических элементов D12.1, D15.3 сразу после появления низкого уровня на адресной линии A15.

В модуле 4xИКМ-30 задействованы все три входа аппаратных прерываний сигнального процессора. На вход INT0 (вывод 20) подается тактовая частота границы кадра магистрали ST-BUS, что дает возможность организовать обработку информации в реальном масштабе времени синхронно с ее поступлением.

На вход INT1 подается прерывание IRQ0...IRQ4 с одной из схем параллельного доступа или, при установке переключки MJ-C на джампер JP9, с триггера аварии D16.2. Сборка этих сигналов выполнена на элементе D37. Процессор может считать состояние перечисленных линий прерываний по шине данных с регистра прерываний D31.

Вход запроса прерывания INT2 используется для работы с последовательным портом RS-232 при наличии переключки MJ-C на джампере JP2.

Режим работы с последовательным портом предусмотрен для настройки модуля 4xИКМ-30 после изготовления или ремонта, а также для автономной отладки версий рабочих программ сигнального процессора. Отличительной особенностью этого режима является использование не стандартного порта RS-232, встроенного в сигнальный процессор TMS320C25, а входа ВЮ (вывод 68) управления программой процессора по значению сигнала на этом входе и выхода XF (вывод 56) программно управляемого внешнего флага. Подробные сведения о таком способе подключения процессора TMS320C2x к последовательному порту приведены в подразделе 5.1 [3]. Для электрического сопряжения сигнального процессора с линиями RS-232 используется технологическая микросхема D5 MAX232 фирмы MAXIM,

выполняющая преобразование напряжения +5 В в напряжение +10 В, инвертирование напряжения +10 В в напряжение минус 10 В и собственно преобразование уровней TTL/CMOS в уровни RS-232 и обратно. Микросхема MAX232 устанавливается в цанговый разъем SCSM-16 при отладке плат. Задание режима работы с последовательным портом производится подключением линий интерфейса MAX232 к сигнальному процессору с помощью джамперов JP6, JP7.

Сигнальный процессор работает от внешнего генератора D35, генерирующего тактовые колебания частотой 40 МГц.

Модуль 4хИКМ-30 может питаться от источника постоянного напряжения +5 В или от источника постоянного напряжения минус 60 В. Переключение вида питания производится с помощью джампера JP5. Для реализации режима питания напряжением 60 В в модуле установлен источник вторичного питания на основе микросборки D61 типа TEM10-4811 фирмы TRACO, преобразующий первичное напряжение в стабилизированное напряжение питания микросхем +5 В. Схема питания от напряжения минус 60 В позволяет устанавливать и извлекать модуль из системного разъема корпуса коммутатора без выключения первичного питания коммутатора.

Результаты непрерывного функционального контроля работы модуля отображаются индикаторами, расположенными на его лицевой панели.

Горящий индикатор VD1 "+5 В" сигнализирует о нормальной работе источника питания.

Светодиод VD2 "Контр" загорается в случае зависания сигнального процессора и аварии узла управления.

Состояние каждого канала первичного доступа индицируется светодиодами VD4, VD6, VD8, VD10 "Сбой ЛС" и VD3, VD5, VD7, VD9 "Сбой ЦС". Первые загораются при пропадании входного сигнала ИКМ-30. Вторые светятся в случае, если каналный приемник не вошел в состояние синхронизма с принимаемым первичным потоком.

На плате модуля установлен ряд штыревых соединителей (джамперов) типа PLS для задания различных режимов его работы. Сводные данные о назначении джамперов и режимах работы модуля в зависимости от положения переключателей приведены в таблице 12.

Коммутационная плата модуля выполнена по технологии двухсторонних печатных плат.

Модуль 4хИКМ-30 имеет следующие внешние разъемы:

XR1 – ламельный печатный разъем для подключения к системной магистрали коммутатора;

Позиционное обозначение	Назначение	Положение переключки
Jp1	Выбор режима работы сигнального процессора TMS320C25	Замкнуты штырьки: 2-3 - микропроцессорный режим; 1-2 - микрокомпьютерный режим
Jp2	Разрешение запроса прерывания INT2 сигнального процессора TMS320C25	Включена - прерывание разрешено
Jp3	Выбор объема внешнего ОЗУ сигнального процессора TMS320C25	Включена - микросхемы D7, D8 установлены, объем ОЗУ равен 64 К; Снята - микросхемы D7, D8 отсутствуют, объем ОЗУ равен 32 К
Jp4		Замкнуты штырьки: 1-2 - микросхемы D7, D8 установлены, объем ОЗУ равен 64 К; 2-3 - микросхемы D7, D8 отсутствуют, объем ОЗУ равен 32 К
Jp5	Выбор источника питания модуля	Замкнуты штырьки: 1-2 - минус 60 В 2-3 - +5 В
Jp6 Jp7	Задание рабочего режима сигнального процессора TMS320C25	Замкнуты штырьки: 1-2 - нормальный режим; 2-3 - тестовый режим с подключением к порту RS-232
Jp8	Разрешение формирования сигнала аварийного сброса	Включена - сигнал аварийного сброса разрешен
Jp9	Разрешение прерывания процессора по аварийному сбросу	Включена - прерывание разрешено

XR2 – штыревой соединитель типа PLD-10 для подключения соединительного кабеля с последовательным портом RS-232.

5. УКАЗАНИЕ МЕР БЕЗОПАСНОСТИ ПРИ РАБОТЕ С КОММУТАТОРОМ ЦИФРОВЫХ КАНАЛОВ

Запрещается работать с оборудованием лицам, не сдавшим зачет по технике безопасности.

Запрещается проводить какие-либо работы на незакрепленном каркасе базовой стойки, в которой установлена коммутатор.

Все строительно-монтажные работы разрешается проводить только при отключенном от коммутатора питания.

Замену блоков, модулей и осмотр монтажа производить только при отключенном напряжении питания. Разрешается заменять модули 4xИКМ-30 без выключения коммутатора.

Базовая стойка с коммутатором или корпус коммутатора в случае индивидуальной установки должны быть подключены к защитному заземлению.

При работе с измерительными приборами заземлите их, используя земляную клемму на стойке.

При работе с аппаратурой коммутатора соблюдайте правила безопасности, изложенные в "Правилах технической эксплуатации электроустановок потребителей" и "Правилах техники безопасности при эксплуатации электроустановок потребителей".

6. ПОРЯДОК УСТАНОВКИ И ПОДГОТОВКА К РАБОТЕ

6.1. Коммутатор должен устанавливаться в отапливаемых помещениях, в которых в течение периода эксплуатации поддерживаются следующие климатические условия:

- температура окружающего воздуха от +5°C до +40°C;
- относительная влажность воздуха до 80% при +25°C;
- атмосферное давление не ниже 60 кПа (450 мм рт. ст.).

Корпус коммутатора может устанавливаться индивидуально на четырех установочных ножках, ввинченных в днище корпуса, или в опорной стойке цифровых автоматических станций серии “Омега”. В последнем варианте корпус механически крепится к несущей раме стойки, причем установочные ножки используются в качестве крепежных винтов.

6.2. Перед установкой модулей 4xИКМ-30 в корпус коммутатора следует проверить состояние расположенных в модуле джамперов задания режимов его работы. Рабочее положение переключателей должно соответствовать табл. 13.

Таблица 13

Позиционное обозначение	Рабочее положение переключателя	Назначение
Jp1	Замкнуты штырьки 2-3	Задание микропроцессорного режима работы сигнального процессора TMS320C25
Jp2	Разомкнута	Отключение запроса прерывания INT2 сигнального процессора TMS320C25
Jp3	Замкнута	Выбор объема внешнего ОЗУ сигнального процессора 64 К
Jp4	Замкнуты штырьки 1-2	
Jp5	Замкнуты штырьки 1-2	Выбор источника питания модуля минус 60 В
Jp6 Jp7	Замкнуты штырьки 1-2	Задание нормального режима загрузки сигнального процессора TMS320C25
Jp8	Разомкнута	Сигнал аварийного сброса отключен
Jp9	Разомкнута	Цепь прерывания процессора по аварийному сбросу отключена

Джамперы на платах, входящих в состав блока центрального коммутационного устройства ЦКУ, устанавливаются в рабочее положение при сборке и проверке блока на заводе-изготовителе. Необходимость проверки их состояния возникает только в случае нарушения функционирования коммутатора. Рабочее положение джамперов на платах центрального процессора CPU, контроллера CON, процессора цифровой обработки сигналов DSP, коммутатора DX16 приведено в табл. 14, 15, 16,17 соответственно.

Таблица 14

Позиционное обозначение	Рабочее положение переключки	Назначение
Jp2	Замкнуты штырьки 5-6	Установка типа процессора AMD 5x86-P75-133 на плате CPU
Jp3	Замкнуты штырьки 3-4	
Jp4	Замкнуты штырьки 3-4	
Jp5	Замкнуты штырьки 3-4	
Jp6	Замкнуты штырьки 2-3	
Jp7	Замкнуты штырьки 2-3	
Jp8	Замкнуты штырьки 2-3	
Jp9	Замкнуты штырьки 2-3	
Jp10	Замкнута	
Jp11		
Jp13	Выключена	Установка тактовой частоты центрального процессора
Jp15	Замкнуты штырьки 1-2	
Jp16	Штырьки 1-2 замкнуты Штырьки 3-4 замкнуты	
Jp14	Замкнуты штырьки 2-3	Установка напряжения питания центрального процессора
Jp17	Штырьки 1-2 разомкнуты Штырьки 3-4 замкнуты Штырьки 5-6 разомкнуты Штырьки 3-4 разомкнуты	Установка времени ожидания для принудительного перезапуска процессора
Jp18	Выключена	Отключение манипулятора “мышь”
Jp19	Выключена	Запрет обращения к таймеру принудительного перезапуска процессора
Jp20	Замкнуты штырьки 5-6	Установка программного адреса флэш-диска

Примечание. В табл. 14 приведен пример установки переключек на процессорной плате SSC-5x86HVGA с центральным процессором типа AMD 5x86-P75-133. В случае комплектации платы процессором другого типа при установке переключек необходимо также руководствоваться ‘Руководством пользователя’, поставляемом фирмой-изготовителем в комплекте с процессорной платой SSC-5x86HVGA.

Таблица 15

Позиционное обозначение	Рабочее положение переключки	Назначение
Jp1	Разомкнута	Цепь запроса прерывания IRQ10 шины ISA выключена
Jp2	Замкнута	Цепь запроса прерывания IRQ11 шины ISA включена

Таблица 16

Позиционное обозначение	Рабочее положение перемычки	Назначение
Jp1	Замкнута	Задание базового адреса 180h платы DSP
Jp2	Замкнута	
Jp3	Замкнута	
Jp4	Замкнута	
Jp5	Разомкнута	
Jp6	Разомкнута	
Jp7	Замкнута	
Jp8	Разомкнута	
Jp9	Разомкнута	Цепь запроса прерывания IRQ5 шины ISA выключена
Jp10	Замкнута	Цепь запроса прерывания IRQ7 шины ISA включена
Jp11	Разомкнута	Цепь запроса прерывания IRQ10 шины ISA выключена
Jp12	Разомкнута	Отключение последовательного порта RS-232

Таблица 17

Позиционное обозначение	Рабочее положение перемычки	Назначение
Jp1	Замкнута	Задание базового адреса 300h платы DX16

Функциональные блоки коммутатора должны быть установлены в корпусе на следующих позициях:

блок центрального коммутационного устройства ЦКУ – XR8, XR9;

модули интерфейсные 4xИКМ-30 – XR1...XR7.

Расположение функциональных блоков в корпусе показано на рис. 1. Положение разъемов на кросс-плате с монтажной стороны корпуса приведено на рис. 24.

Блоки должны вставляться в корпус по своим направляющим плавно, без перекосов. Перед окончательной досылкой блока при помощи крепежных винтов, расположенных в нижней части лицевой панели блока, необходимо убедиться, что его ламельный печатный разъем точно попал в разъем объединительной платы корпуса. Рекомендуется при затягивании крепежных винтов прилагать с помощью пальцев руки аналогичное усилие к верхней части лицевой панели устанавливаемого блока.

Внимание! При установке модулей 4xИКМ-30 во избежание деформации лицевой панели модуля не прилагайте значительных усилий к средней части лицевой панели.

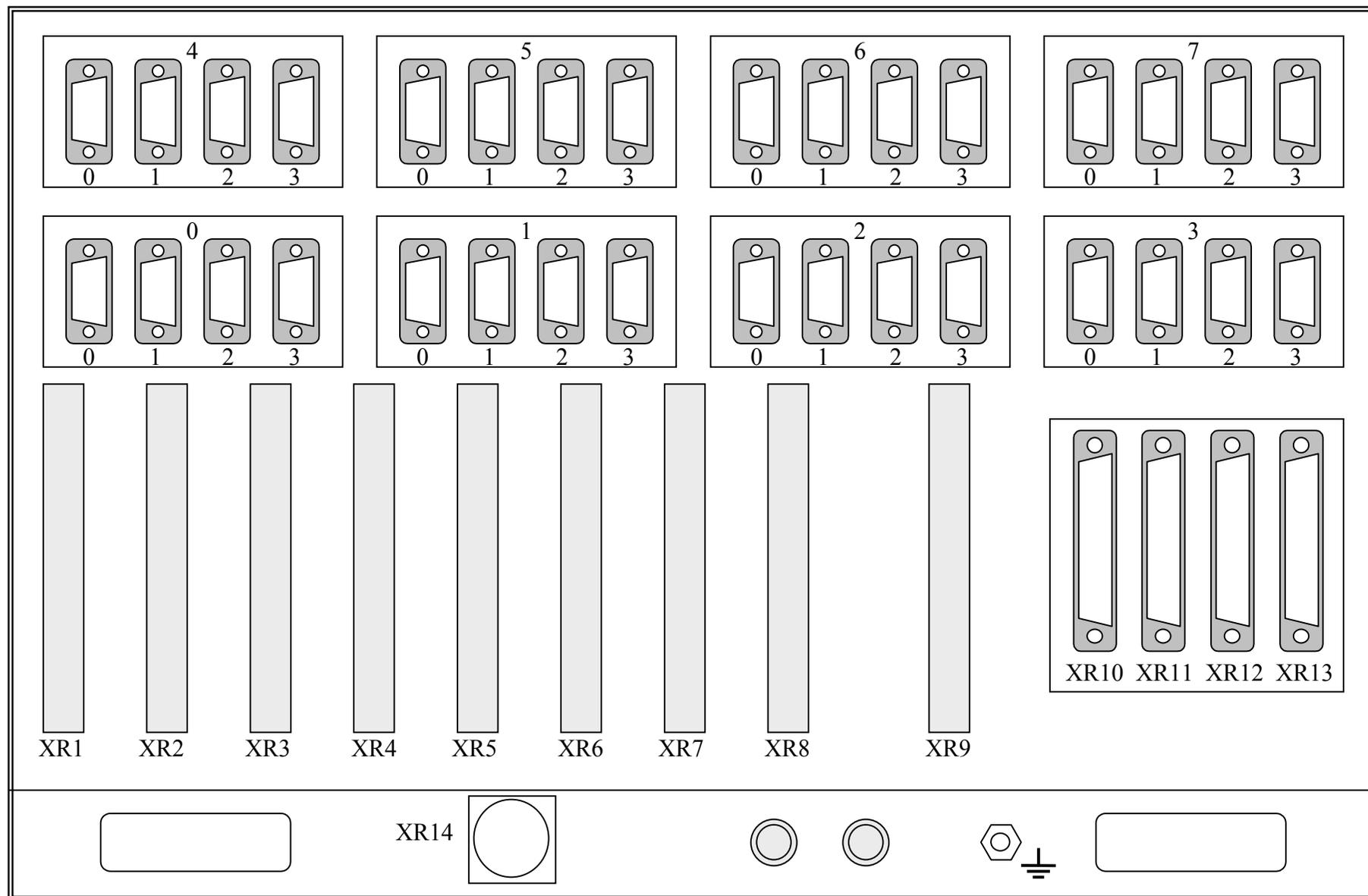


Рис. 24. Положение разъемов на кросс-плате с монтажной стороны корпуса

6.3. Корпус коммутатора соединяется с общестанционным контуром электротехнического или защитного заземления при помощи клеммы защитного заземления, расположенной на задней стороне корпуса.

Кабель питания подключается к вилке разъема ввода первичного питания, также установленного на задней стороне корпуса. Электрическая схема питающего фидера со стороны коммутатора приведена на рис. 25.

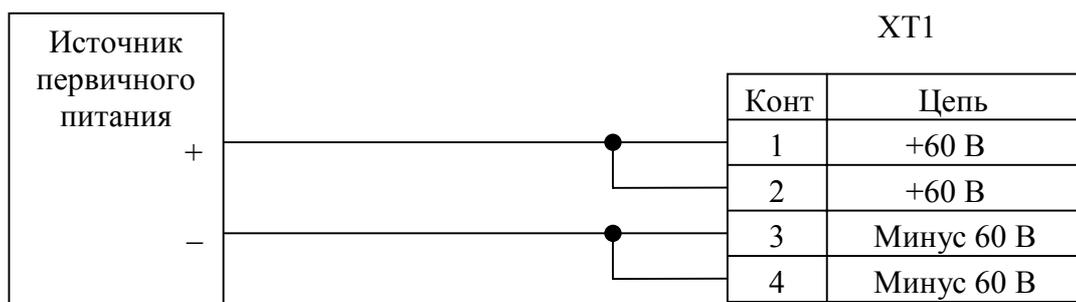
Сечение токоведущих жил кабеля питания должно быть рассчитано на пропускание тока не менее 10 А.

6.4. Способ подключения технологической аппаратуры для конфигурирования и технической эксплуатации коммутатора зависит от наличия в системе выносного пульта оператора. В варианте без выносного пульта оператора для этих целей используются клавиатура и монитор, которые подключаются к разъемам KB и MON на лицевой панели блока ЦКУ, соответственно.

Внимание! Во избежание повреждения платы центрального процессора CPU запрещается производить стыковку и расстыковку соединительных кабелей монитора и клавиатуры с разъемами блока ЦКУ при включенном коммутаторе.

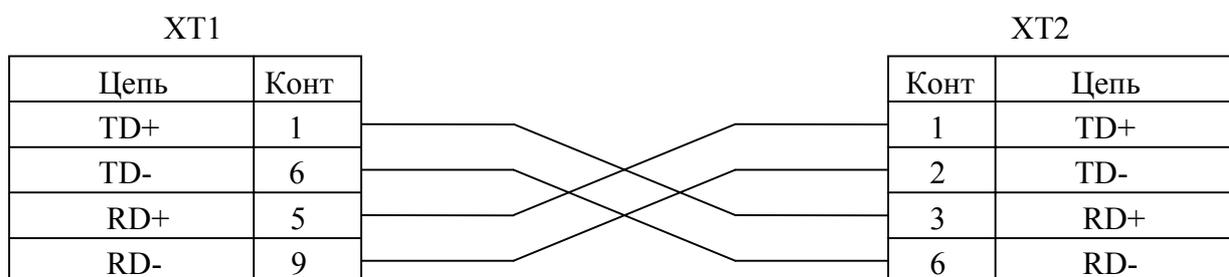
Для подключения коммутатора к персональному компьютеру выносного пульта оператора используется сетевая плата Ethernet, которая устанавливается в один из свободных разъемов кросс-платы в блоке ЦКУ. В качестве сетевой платы обычно используется плата типа NE-2000. Допустимо использование аналогичных плат, предназначенных для установки в системную шину типа ISA. Сетевой кабель, объединяющий компьютер пульта оператора и коммутатор по сети Ethernet, подключается к разъему с маркировкой 1 на панели 7 разъемов ввода-вывода. В качестве сетевого кабеля рекомендуется использовать телефонный кабель типа EIA/TIA категории 3, содержащий две витые пары. Электрические схемы сетевых кабелей с сетевым разъемом типа RJ-45 показаны на рис. 26.

6.5. Внешние сигнальные цепи подключаются к разъемам X1...X8 кабелей СВТИ.685011.110 ввода-вывода первичных цифровых потоков ИКМ-30, расположенных на панелях 0...7 в верхней части монтажного отсека корпуса коммутатора. К каждому разъему подключаются пары симметричных кабелей для передачи информационных сигналов от коммутатора к аппаратуре КАН или другому КЦК и в обратном направлении. Соответствие между маркировкой панелей с разъемами ввода-вывода и позицией модулей 4хИКМ-30 в корпусе приведено в табл. 18. Цифры, выгравированные непосредственно под разъемами, соответствуют номерам первичных потоков ИКМ-30 в данном модуле 4хИКМ-30.

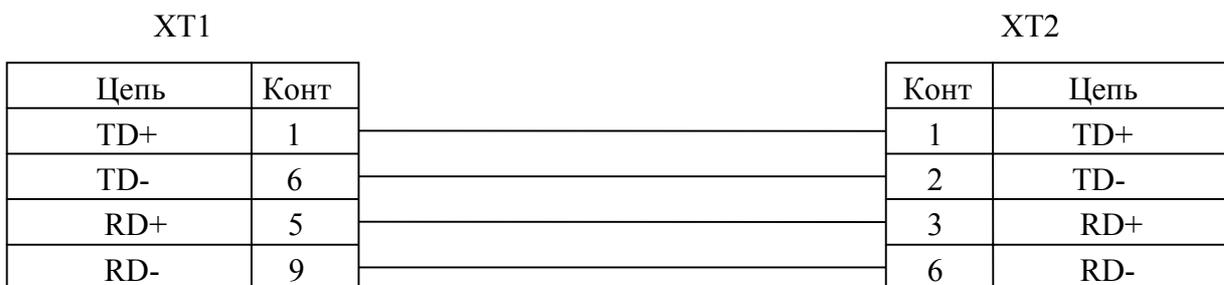


Позиционное обозначение	Наименование	Кол-во
ХТ1	Розетка ШР 20 Р4 Ге0.364.107 ТУ	1

Рис. 25. Электрическая схема фидера питания



Перекрестный кабель для непосредственного соединения КЦК
с компьютером выносного пульта оператора



Прямой кабель для соединения КЦК с концентратором сети Ethernet

Позиционное обозначение	Наименование	Кол-во	Примечание
ХТ1	Вилка DB-9 кабельная с корпусом	1	Импорт
ХТ2	Вилка RJ-45	1	Импорт

Рис. 26. Электрические схемы сетевого кабеля для объединения КЦК с компьютером пульта оператора по сети Ethernet с использованием сетевых плат типа NE-2000

Маркировка на панели разъемов ввода-вывода	0	1	2	3	4	5	6
Позиция модуля	XR1	XR2	XR3	XR4	XR5	XR6	XR7

В качестве симметричного кабеля должен использоваться кабель типа КМС-2 или его аналоги. Электрическая схема соединительного кабеля ИКМ для первичного цифрового канала передачи системы коммутации “Омега” КЦК-КАН или КЦК-КЦК приведена на рис. 27.

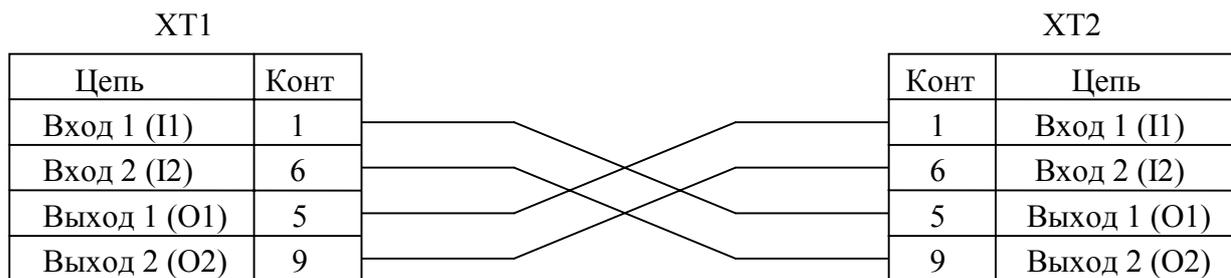
При подключении КЦК к другим типам электронных АТС, наименование и схема включения второго разъема кабеля ИКМ зависят от применяемых соединительных разъемов в конкретной АТС.

В коммутаторе предусмотрена возможность подключения внешних сигнальных цепей непосредственно к разъемам XR10...XR13 типа РП15-32 (БРО.364.090 ТУ). В этом случае кабели ввода-вывода СВТИ.685011.110 могут быть удалены из корпуса коммутатора.

Соединительные кабели ИКМ протягиваются через два прямоугольных отверстия в нижней задней стенке корпуса коммутатора. Кабельные разъемы прижимаются к приборным розеткам при помощи крепежных винтов своих кожухов.

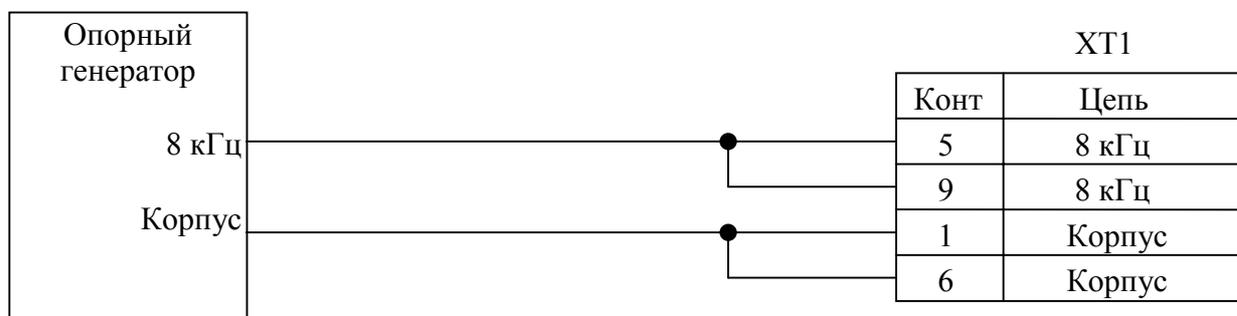
6.6. В режиме внешней синхронизации коммутатора частота опорного генератора подается на коммутатор с помощью кабеля синхронизации, подключаемого к разъему с маркировкой 0 на панели 7 разъемов ввода-вывода. Электрическая схема кабеля синхронизации приведена на рис 28. Кабель синхронизации прокладывается и закрепляется, аналогично кабелям ИКМ.

6.7. После установки, подсоединения внешних цепей, проверки выполненного монтажа коммутатор готов к включению питания и конфигурированию аппаратуры для адаптации рабочей программы к конкретным условиям местной сети связи. При конфигурировании коммутатора необходимо пользоваться книгой 3, часть 3 “Коммутатор цифровых каналов. Системное программное обеспечение. Руководство оператора”



Позиционное обозначение	Наименование	Кол-во	Примечание
XT1, XT2	Вилка DB-9 кабельная с корпусом	2	Импорт

Рис. 27. Электрическая схема соединительного кабеля ИКМ для первичного цифрового канала передачи



Позиционное обозначение	Наименование	Кол-во	Примечание
XT1	Вилка DB-9 кабельная с корпусом	1	Импорт

Рис. 28. Электрическая схема кабеля синхронизации

7. ЭКСПЛУАТАЦИЯ, ПРОВЕРКА ТЕХНИЧЕСКОГО СОСТОЯНИЯ, ДИАГНОСТИКА И РЕМОНТ

7.1. Контроль за техническим состоянием коммутатора

При исправном оборудовании и правильном выполнении монтажа внешних цепей коммутатор после конфигурирования и запуска рабочей программы сразу начинает работать.

Коммутатор не требует во время своей работы постоянного присутствия обслуживающего персонала. В процессе эксплуатации необходимость в обслуживании возникает только при появлении неисправности. Аппаратура коммутатора не имеет эксплуатационных органов регулировок, обслуживание заключается в проверке технического состояния, выявлении неисправного модуля или платы и их замены.

Текущий контроль за общим функциональным состоянием коммутатора осуществляется с пульта оператора с помощью программы обзора состояния системы `display_details`. Порядок запуска и работы с утилитой `display_details` подробно изложен в книге 3, часть 3 “Коммутатор цифровых каналов. Системное программное обеспечение. Руководство оператора”.

Дополнительно, за правильностью работы коммутатора можно следить при помощи индикаторов, расположенных на лицевых панелях центрального коммутационного устройства и модулей 4xИКМ-30. Назначение органов индикации и управления приведено в табл. 19.

Таблица 19

Органы индикации и управления	Наименование	Назначение
Блок ЦКУ: Индикатор зеленый	ПИТАНИЕ	Индикация состояния источника вторичного питания блока ЦКУ и наличия вторичного напряжения +5 В на выходе источника Сброс платы центрального процессора CPU и приведение в начальное состояние всех узлов коммутатора Разъем для подключения монитора Разъем для подключения клавиатуры Разъем последовательного порта платы центрального процессора CPU То же
кнопка	СБРОС	
разъем	MON	
	KB	
	COM1	
	COM2	
Модуль 4xИКМ-30: Индикатор зеленый	+5В	Индикация состояния источника вторичного питания модуля и наличия вторичного напряжения +5 В на выходе источника

Органы индикации и управления	Наименование	Назначение
Гравировка	0	Номер первичного тракта ИКМ в модуле
	1	То же
	2	То же
	3	То же
Индикатор красный	СБОЙ ЛС	Индикация отсутствия входного линейного сигнала в тракте ИКМ-30
Индикатор красный	СБОЙ ЦС	Отображение потери циклового синхронизма с входящим потоком ИКМ
Индикатор красный	КОНТР	Отображение правильности выполнения рабочей программы

В том случае, если аппаратура находится в исправном состоянии, и рабочая программа выполняется, индикаторы ПИТАНИЕ и +5В горят, индикаторы СБОЙ ЛС, СБОЙ ЦС погашены, а индикаторы КОНТР на лицевых панелях модулей 4хИКМ-30 периодически загораются и гаснут. Изменение состояния индикаторов свидетельствует о возникновении неисправности.

7.2. Действия обслуживающего персонала при возникновении неисправностей

Индикаторы ПИТАНИЕ и +5В являются индикаторами прямого действия, их состояние непосредственно зависит от состояния аппаратуры. При возникновении неисправностей во вторичном источнике питания или в аппаратуре ЦКУ, модуля 4хИКМ-30, приводящих к перегрузке источника по току потребления, срабатывает внутренняя защита источника. При этом вторичные напряжения, вырабатываемые источником, снимаются, и гаснет соответствующий зеленый светодиод.

Если индикатор +5В на модуле 4хИКМ-30 погас, но при этом светодиод КОНТР на лицевой панели этого модуля продолжает периодически загораются и гаснуть, это свидетельствует о неисправности в цепи индикаторного светодиода. Если же все индикаторы на панели модуля 4хИКМ-30 не горят и авария модуля отображается на пульте оператора, то неисправность возникла в цепях питания аппаратуры модуля. В этом случае необходимо заменить модуль исправным. Замена модулей 4хИКМ-30 производится без выключения первичного питания коммутатора. После установки исправного модуля на место и его автоматической загрузки в течение 20...90 сек, работоспособность данного блока 4хИКМ-30 в конфигурации коммутатора восстановится.

Если и на исправном модуле индикатор +5В не горит, то неисправность следует искать в цепях подводки первичного питания к соответствующему данному модулю разъему на объединительной плате.

Отсутствие свечения индикатора ПИТАНИЕ на лицевой панели блока ЦКУ свидетельствует о неисправности вторичного источника питания или в цепях питания плат блока. Если эта неисправность подтверждается на пульте оператора, то необходимо выключить первичное питание коммутатора, извлечь блок ЦКУ из корпуса коммутатора и отремонтировать его или заменить исправным. После установки на место отремонтированного блока, если ремонт не был связан с заменой платы центрального процессора CPU или флэш-памяти на ней и за время ремонта не проводилось изменений конфигурации системы, коммутатор через время, необходимое для загрузки блоков 4xИКМ-30, автоматически восстановит свою работоспособность в конфигурации системы. При установке нового блока ЦКУ для восстановления работоспособности коммутатора в качестве узла системы коммутации требуется выполнить в полном объеме процедуру его конфигурирования согласно книге 3, части 3 “Коммутатор цифровых каналов. Руководство оператора”.

Внимание! Во избежание повреждения платы центрального процессора CPU запрещается производить стыковку и расстыковку соединительных кабелей монитора и клавиатуры с разъемами блока ЦКУ при включенном коммутаторе.

Светодиод СБОЙ ЛС также является индикатором прямого действия, он загорается при пропадании входного линейного сигнала в тракте ИКМ-30, например, при обрыве во входной цепи линейного тракта. Для локализации места неисправности необходимо отключить соответствующий соединительный кабель ИКМ от разъема ввода-вывода первичных цифровых потоков и подключить к этому разъему технологическую заглушку, замыкающую линейный выход модуля ИКМ-30 на его собственный вход. Если после этой операции светодиод погаснет, неисправность следует искать в линейном тракте или аппаратуре встречной станции.

В том случае, если светодиод на лицевой панели модуля 4-ИКМ-30 продолжает гореть, необходимо произвести следующие операции:

извлечь модуль из корпуса, проверить на отсутствие замыканий и обрывов монтаж соответствующего ему разъема на объединительной плате, а также значения подводимого к нему первичного напряжения питания;

установить на место изъятый исправный модуль и в том случае, если диод на контрольном модуле не загорится, принять решение о замене и отправке модуля 4xИКМ-30 в ремонт;

в противном случае продолжать поиск неисправности на объединительной плате.

После устранения неисправности и возврату к исходной схеме включения работоспособность блока 4хИКМ-30 в конфигурации коммутатора восстановится автоматически.

Индикаторы СБОЙ ЦС и КОНТР управляются программно, они достоверно отображают состояние аппаратуры только при работающей программе. Рабочая программа включает светодиод СБОЙ ЦС, когда она обнаруживает потерю соответствующим каналом первичного доступа в модуле 4хИКМ-30 состояния циклового синхронизма с входящим цифровым потоком. При загорании индикатора СБОЙ ЦС необходимо выполнить следующие действия:

убедиться по состоянию индикатора СБОЙ ЛС или на пульте оператора, что неисправность не связана с пропаданием линейного сигнала;

проверить отображение аварии СБОЙ ЦС на пульте оператора, отсутствие аварии ЦС на пульте оператора говорит о неисправности в цепи индикаторного светодиода;

заменить модуль 4хИКМ-30 и в том случае, если на контрольном модуле после его загрузки индикатор не загорится, принять решение о замене и отправке модуля 4хИКМ-30 в ремонт;

если аварии ЦС осталась, неисправность следует искать в аппаратуре встречной станции.

Светодиод КОНТР отображает процесс выполнения рабочей программы периферийным процессором в модуле 4хИКМ-30. Периодическое мигание индикатора свидетельствует о правильном выполнении программы. Несанкционированная остановка периферийного процессора вызовет постоянное свечение индикатора. Светодиод КОНТР нормально включен также в течение начальной загрузки модуля, поэтому, если светодиод загорится во время рабочего функционирования модуля, следует на пульте оператора проследить процесс загрузки и, если этот процесс принимает повторяющийся характер, заменить модуль 4хИКМ-30.

Причиной постоянного свечения индикатора КОНТР может являться также неисправность в блоке ЦКУ, в частности на плате контроллера CON или адаптера ADP, или в монтаже на объединительной плате. Если замена не приводит к восстановлению работоспособности блока 4хИКМ-30, необходимо принять решение о проведении полного тестирования аппаратуры коммутатора.

7.3. Тестирование аппаратуры, ремонт входящих блоков и плат

Полное тестирование требует исключение коммутатора из сети связи, вследствие чего проверочную процедуру, если неисправность не носит катастрофического характера, целесообразно проводить в период минимальной абонентской нагрузки сети.

Диагностика коммутатора производится при помощи дискеты с проверочной программой kck_qnx. Удаление тестируемого коммутатора из конфигурации системы коммутации и запуск проверочной программы с дискеты осуществляются в соответствии с книгой 3, частью 4 “Коммутатор цифровых каналов. Руководство оператора”. После запуска проверочной программы и появления на экране монитора запроса о режиме работы, необходимо выбрать с помощью клавиши Tab вариант исполнения проверяемого коммутатора СВТИ.465235.009 или СВТИ.465235.009-01, а также режим проверки КОНТРОЛЬ или ДИАГНОСТИКА. В режиме КОНТРОЛЬ проверка производится до обнаружения первой неисправности с выводом на экран сообщения о том, что коммутатор неисправен. В режиме ДИАГНОСТИКА дополнительно запускаются диагностические подпрограммы, определяющие место неисправности, после чего на экран выводится диагностическое сообщение, содержащее описание неисправности, возможные причины ее возникновения и последовательность дальнейших действий оператора по диагностике аппаратуры. Примеры диагностических сообщений приведены на рис. 29.

При тестировании коммутатора производится локализация неисправности с точностью до платы, входящей в состав ЦКУ, модуля 4xИКМ-30 или цепи на монтажной объединительной плате. Поиск неисправного элемента на плате или блоке осуществляется в процессе их диагностического тестирования на проверочном стенде. В качестве проверочного стенда используется персональный компьютер типа 80386/80486.

Рабочее место для проведения диагностики, ремонта и проверки должно соответствовать ряду требований:

настройка и проверка платы должны производиться в помещении с нормальными климатическими условиями, характеризующимися температурой (25 ± 10) °С, относительной влажностью воздуха от 45 до 80%, но не более 70% при температуре выше 30 °С и атмосферным давлением от 84 до 106,7 кПа (от 630 до 800 мм рт. ст.);

рабочее место должно быть обеспечено напряжением 220 В 50 Гц переменного тока, типовым комплектом оборудования и принадлежностей в соответствии с приложением 1;

размещение и соединение средств измерений и стендового оборудования должны соответствовать схеме согласно табл. 19 и приложению 2;

Не считываются данные с платы контроллера CON.

Возможные причины:

1. Обрыв или замыкание цепей тактовых синхросигналов F0, C4 в кабеле 10 между платой адаптера 1 и платой контроллера;
2. Отсутствие контакта в разъеме XR1 (ISA) платы контроллера;
3. Неисправна плата контроллера;
4. Неисправна плата адаптера 1.

Проверьте, и в случае неисправности, замените кабель 10, протрите марлевым тампоном, смоченном в спирте, золоченные ламельные контакты разъема XR1 платы контроллера и перезапустите проверочную программу.

В случае вторичного появления этого сообщения последовательно замените платы контроллера и адаптера 1.

При проверке входной CSTi и выходной CSto магистралей управления модуля 4xИКМ-30 с микросхемы D11 платы контроллера постоянно считывается код FFh.

Возможные причины:

1. Обрыв цепи управления CSto или CSTi;
2. Обрыв цепи сигнала OELx сброса модуля 4xИКМ-30;
3. Обрыв цепей синхросигналов F0L, C2, C4L.

Определите неисправность при помощи осциллографа.

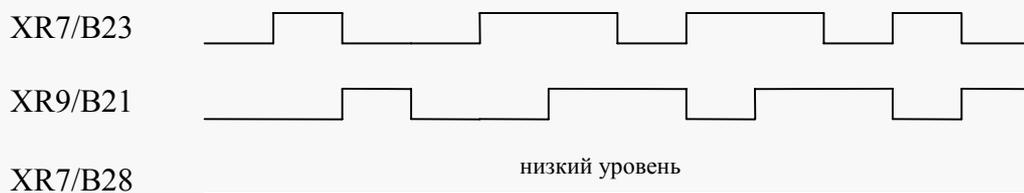


Рис. 29. Примеры диагностических сообщений, выводимых программой kck_qnx

Наименование и шифр платы, блока	Схема соединений для диагностики и проверки платы	Наименование проверочной программы
Плата контроллера CON	Приложение 2, рис. 1	Cont.exe
Плата коммутатора DX16	Приложение 2, рис. 2	Dx16.exe
Плата коммутатора DX32	Приложение 2, рис. 3, 4	Dx32.exe
Плата процессора цифровой обработки сигналов DSP	Приложение 2, рис. 5	Dsp.exe
Блок 4xИКМ-30	Приложение 2, рис. 6, 7	Ikm.exe

при работе с платами и блоками требуется соблюдать требования по защите полупроводниковых приборов и интегральных микросхем от статического электричества.

операции демонтажа неисправных и монтажа исправных электрорадиоэлементов проводятся на рабочем месте монтажника и, при необходимости, на рабочем месте слесаря-сборщика в соответствии с типовыми технологическими инструкциями.

рабочее место должно обеспечивать подключение к электротехническому контуру заземления.

Проверку плат и блоков следует проводить в следующем порядке:

подготовить рабочее место для диагностики и проверки платы в соответствии со схемой соединений проверяемой платы согласно табл. 19 и приложению 2;

подготовить к работе контрольно-измерительные приборы согласно методам, изложенным в инструкции по эксплуатации этих приборов;

убедиться в отсутствии короткого замыкания на плате цепей питания +5 В (Vcc) и корпуса (GND);

Внимание! Прозвонку платы производить прибором с измерительным напряжением не более 1,5 В с соблюдением полярности подключения прибора.

установить проверяемую плату в свободный расширительный разъем системной платы персонального компьютера типа 80386/80486;

Внимание! Запрещается производить стыковку и расстыковку платы с разъемом системной шины ISA персонального компьютера при включенном компьютере, производить электромонтажные работы при поданных на плату питающих напряжениях.

соединить контакты разъемов платы технологическими перемычками и кабелями в соответствии со схемой проверки;

подключить к плате источник тактовых синхроимпульсов.

Для проведения диагностики и проверки платы на стендовом персональном компьютере типа 80386/80486 используется дискета с проверочной программой согласно табл. 19. На компьютере должны быть установлены дисковая операционная система MS DOS версии 4.0 или выше и программа-оболочка Norton Commander.

После проведения подготовительных операций включите монитор и нажмите кнопку ПУСК на системном блоке компьютера. Машина начнет работать, а на экране монитора должны появляться сменяющие друг друга сообщения, свидетельствующие о нормальном прохождении самотестирования и загрузки операционной системы. При успешном окончании загрузки на экране появятся рабочие панели Norton Commander.

Если загрузка не производится, необходимо выключить системный блок и извлечь проверяемую плату из расширительного разъема. Визуальным осмотром и прозвонкой найти короткое замыкание между разрядами шины ISA или другую ошибку в цепях шины ISA платы и устранить неисправность.

Для запуска проверочной программы следует установить дискету с программой в дисковод и нажать комбинацию клавиш ALT-F1. В левой панели выбрать дисковод с установленной дискетой и нажать клавишу Enter. В панели появится наименование исполняемого файла проверочной программы, например dsp.exe. С помощью клавиши Tab активизировать левую панель и клавишами перемещения курсора ↑, ↓ выделить файл dsp.exe. Перекопировать исполняемый файл проверочной программы на жесткий диск C, для чего нажать клавишу F5 и после появления на экране окна копирования нажать клавишу Enter. Активизировать правую панель, выделить на ней файл dsp .exe и нажать клавишу Enter.

После запуска проверочной программы и появления на экране монитора запроса о режиме работы, необходимо выбрать с помощью клавиши Tab режим ДИАГНОСТИКА и нажать на клавишу Enter.

Дальнейшие действия по диагностике платы производить в соответствии с сообщениями, появляющимися на экране монитора по мере выполнения проверочной программы. Программа останавливается и выводит сообщение на той стадии проверки платы, где обнаружена неисправность.

ПЕРЕЧЕНЬ СРЕДСТВ ИЗМЕРЕНИЙ, ОБОРУДОВАНИЯ И ПРИНАДЛЕЖНОСТЕЙ,
ПРИМЕНЯЕМЫХ ПРИ ПРОВЕДЕНИИ ДИАГНОСТИКИ И ПРОВЕРКИ ПЛАТ И БЛОКОВ

Наименование, тип, марка	Кол-во	Нормативно-технические документы	Характеристика (класс, точность, предел измерений и прочее)
Персональный компьютер типа 80386/80486	1		
Осциллограф С1-64	1	Паспорт	Диапазон от 200 мВ до 10 В, погрешность $\pm 5\%$; диапазон от 20 до 500 нс, погрешность $\pm 20\%$
Прибор комбинированный Ц4310	1	Паспорт	Измерительное напряжение не более 1,5 В
Плата интерфейса E1 технологическая	1		В комплектации, обеспечивающей выдачу тактовых синхросигналов магистрали ST-BUS
Частотомер ЧЗ-54	1	Паспорт	Диапазон от 500 Гц до 16МГц, погрешность $\pm 1\%$
Источник питания Б5-49	1	Паспорт	Диапазон от 0 до 99 В, 0,5 А, погрешность $\pm 0,5\%$
Источник питания Б5-47	1	Паспорт	Диапазон от 0 до 5 В, 0,5 погрешность $\pm 0,5\%$
Корпус КЦК технологический	1	СВТИ.468364.102	
Удлинитель с розеткой WK46580TD и ламельной вилкой	1	1982.7582	
Плата адаптера 1 ADP1 технологическая	1	СВТИ.468359.012	В комплектации, обеспечивающей выдачу тактовых синхросигналов магистрали ST-BUS

ПРОДОЛЖЕНИЕ ПЕРЕЧНЯ СРЕДСТВ ИЗМЕРЕНИЙ, ОБОРУДОВАНИЯ И
ПРИНАДЛЕЖНОСТЕЙ, ПРИМЕНЯЕМЫХ ПРИ ПРОВЕДЕНИИ ДИАГНОСТИКИ И
ПРОВЕРКИ ПЛАТ И БЛОКОВ

Наименование, тип, марка	Кол-во	Нормативно-технические документы	Характеристика (класс, точность, предел измерений и прочее)
Микросхема MAX232 АСРЕ технологическая	1	МАХІМ	
Кнопка тактовая SA1 типа SWT-6	1		
Конденсатор С1 К53-14-10В-10 мкФ	1		
Микросхема DD1 1533ЛН1	1	БКО.348.806-01 ТУ	
Резистор R1 С2-33Н-0,125-100 Ом	1		
Резистор R2 С2-33Н-0,125-100 Ом	1		
Резистор R3 С2-33Н-0,125-1 кОм	1		

Примечание. Указанные средства измерений могут быть заменены другими, аналогичными по назначению и допускаемой погрешности в условиях применения.

СХЕМЫ СОЕДИНЕНИЙ ДЛЯ ДИАГНОСТИКИ И ПРОВЕРКИ ПЛАТ И БЛОКОВ

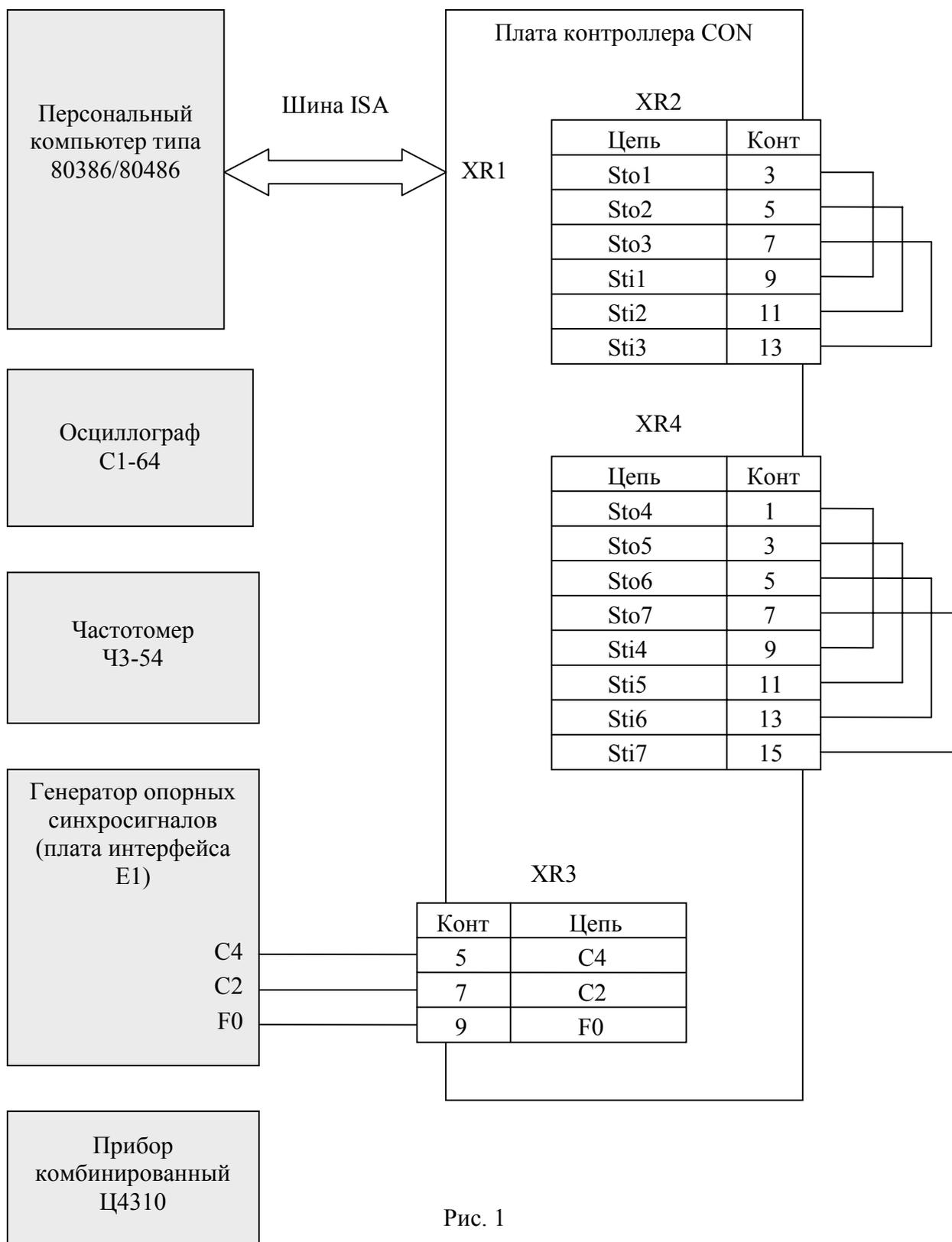


Рис. 1

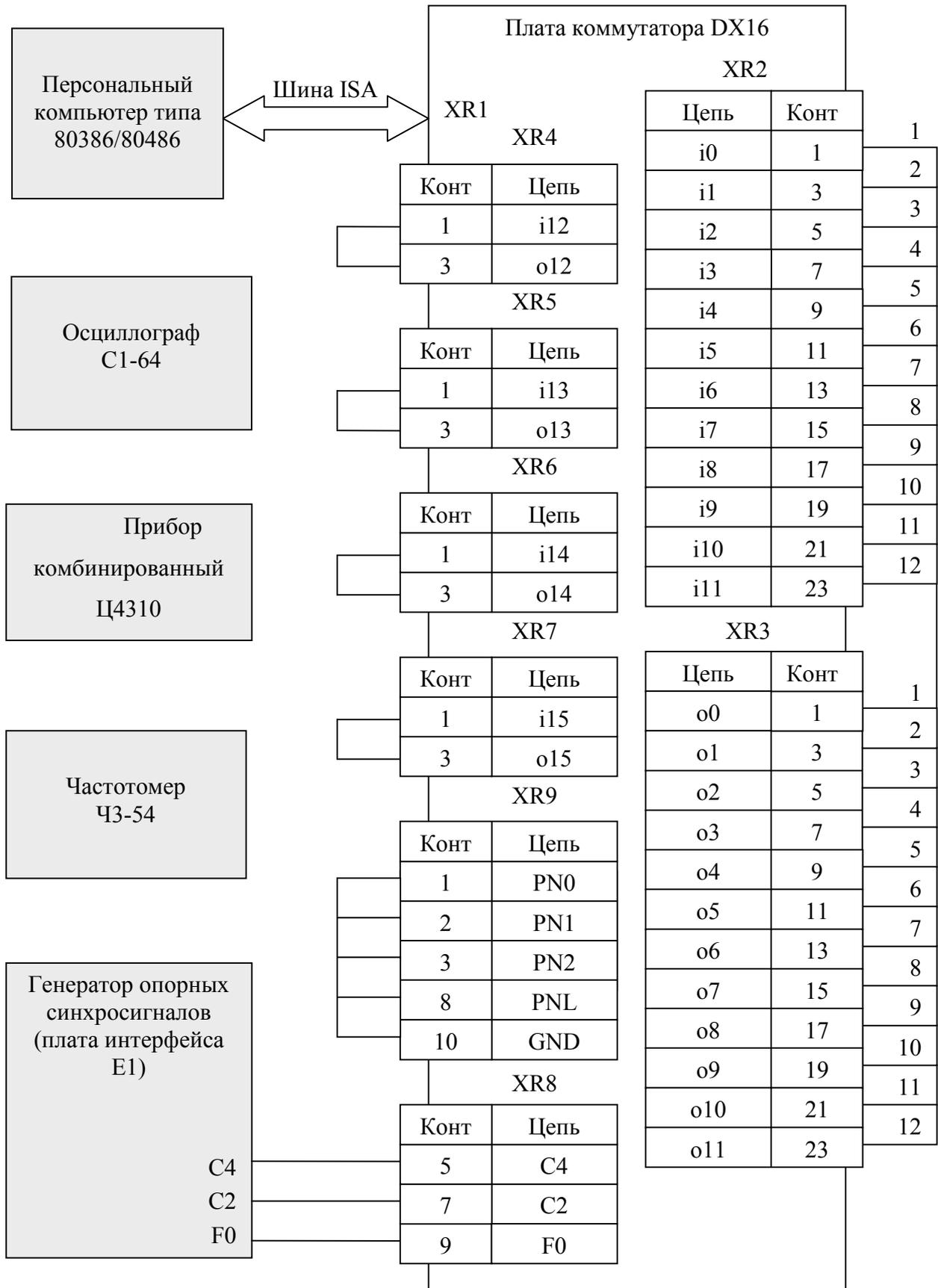


Рис. 2

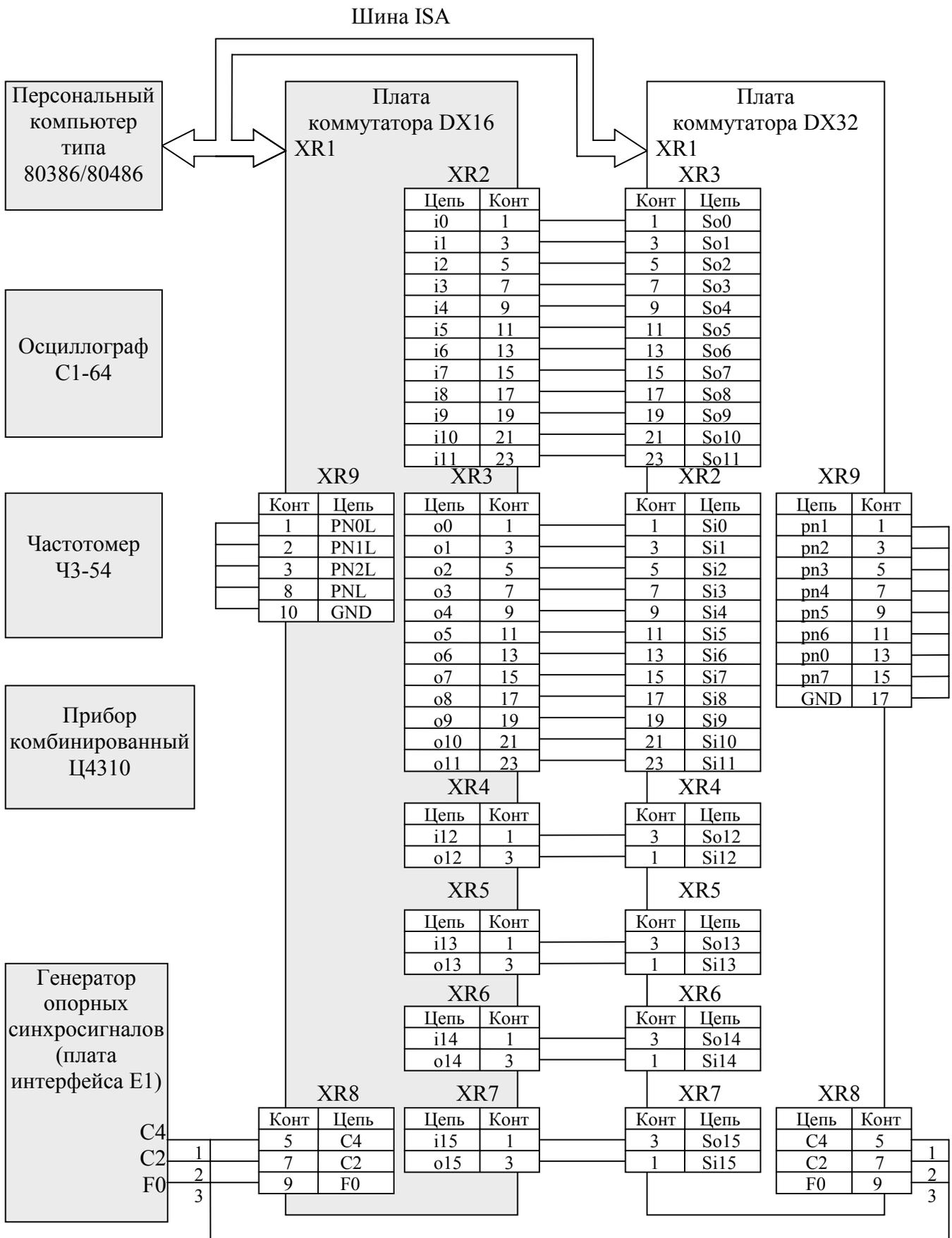


Рис. 3

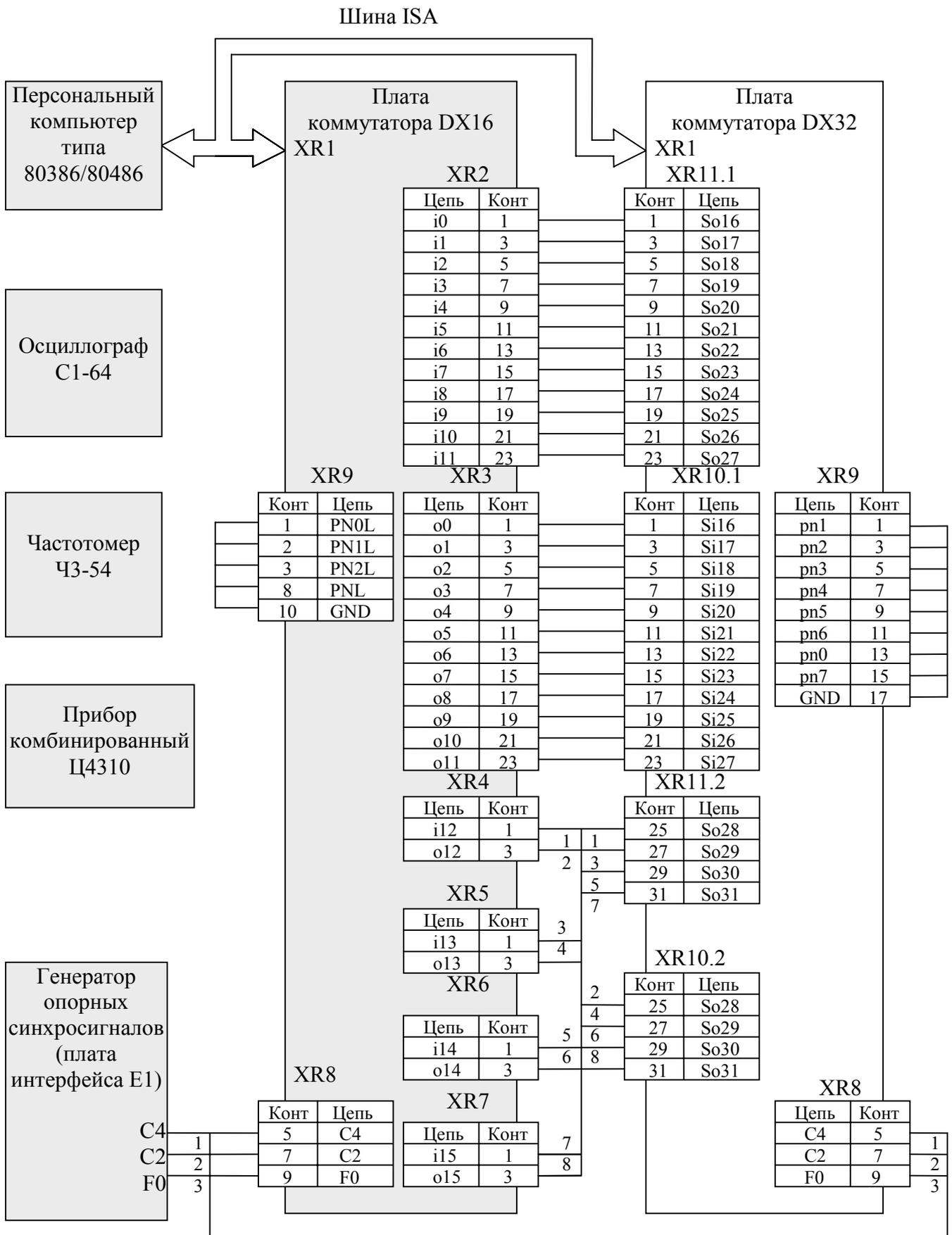


Рис. 4

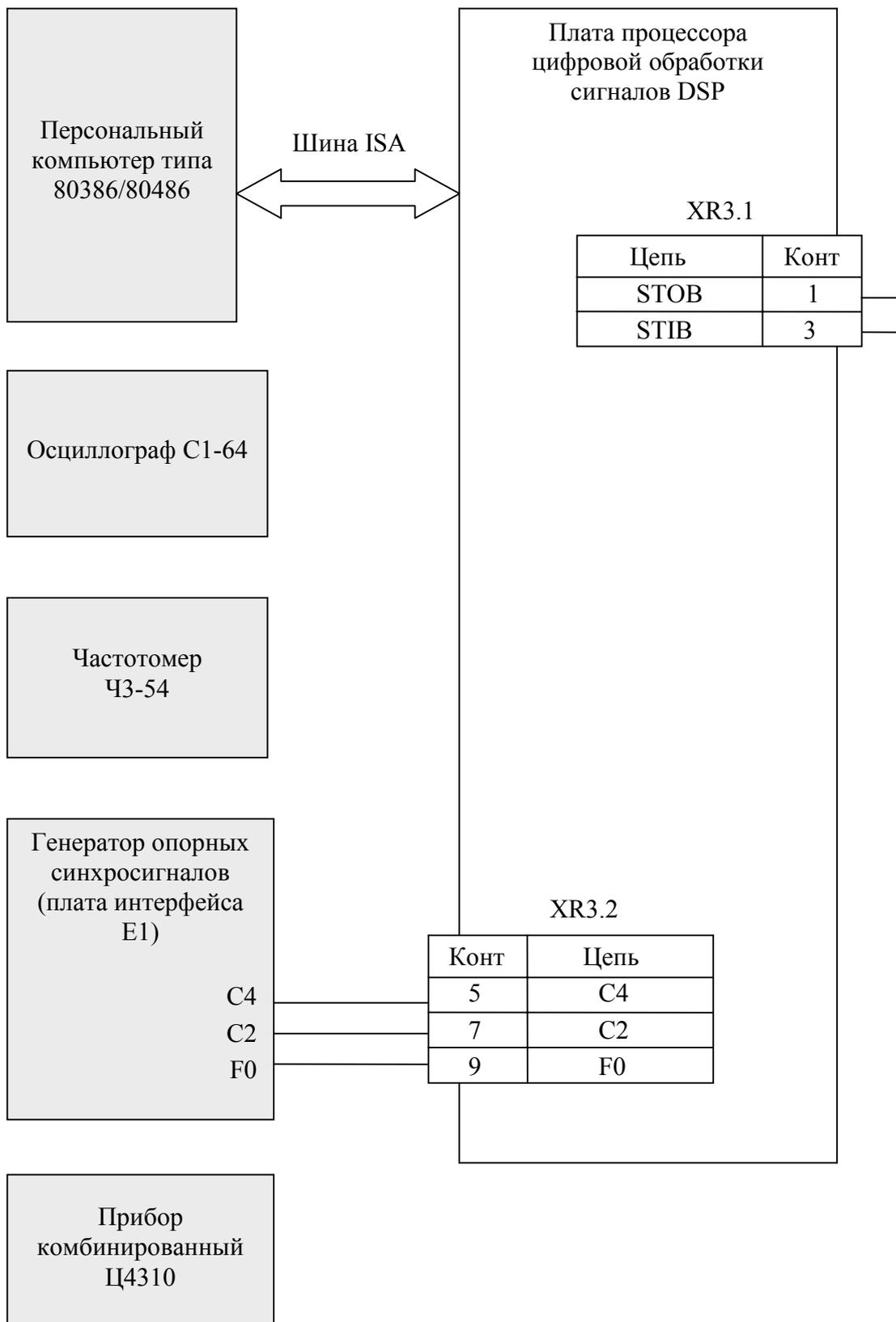


Рис. 5

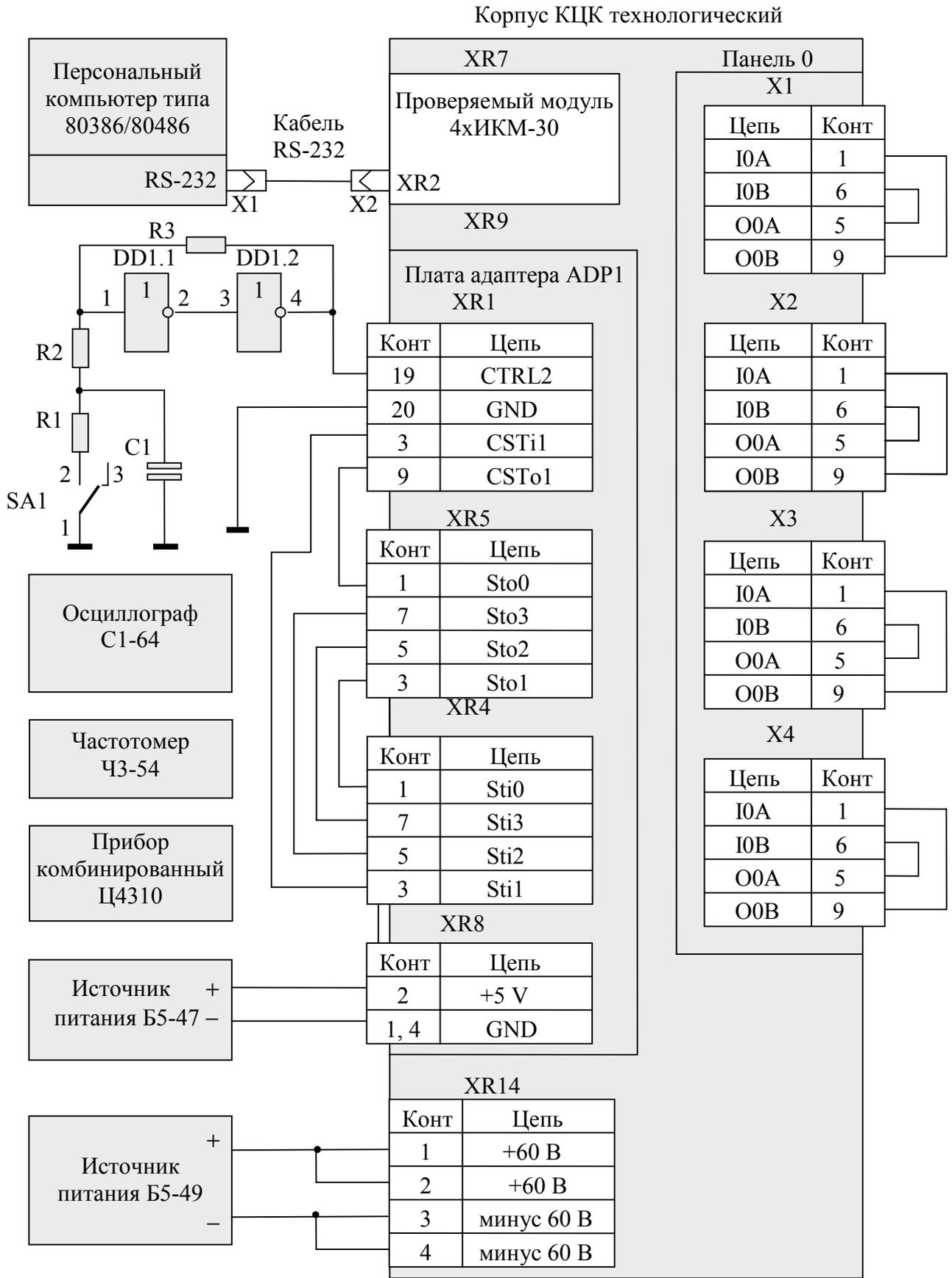


Рис. 6



Позиционное обозначение	Наименование	Кол-во	Примечание
X1	Гнездо DI-9F	1	
X2	Гнездо IDC-10	1	

Рис. 7. Электрическая схема кабеля RS-232

ПЕРЕЧЕНЬ ЛИТЕРАТУРЫ

1. Digital SWITCHING/NETWORKING Components, MITEL Semiconductor,
Issue 10, 1995
2. Микросхемы производства корпорации MITEL Semiconductor для офисных
и учрежденческих автоматических телефонных станций: Справочник/
Под редакцией В.А. Докучаева, М.:-Радио и связь, Телесофт, 1997
3. TMS320Cx User's Guide, 160497-9761 revision C, Texas Instruments, January 1993